

Observații:

Pe prima pagină:

- utilizarea inconsistentă a diacriticelor,
- titlul generic de „profesor” – nu există în mediul academic; (există „cadru didactic”, dar un simplu „Îndrumător” ar fi fost de ajuns);
- lipsește gradul didactic al îndrumătorului;
- „student”, nu „studentă”.

Plus:

- există o cerință, scrisă clar, la începutul proiectului;
- paginile sunt numerotate;
- s-a încercat explicarea pașilor de rezolvare, folosind (numai) limba română; cuvintele în limba engleză sunt scrise diferit (italic);
- - explicații pentru cum au fost aleși parametrii de simulare.

Minus:

- explicație eronată: „pentru minimizarea tabelului se caută stările care generează aceleași stări viitoare și ieșiri” – explicația este pentru alt tip de automate finite!
- schema **folosită** pentru simularea **circuitului**
- Simularea în Orcad / „Rezultatele de simulare”
- schema **folosită** pentru **proiectarea** cablajului **imprimat**
- „Pe Bottom”, „Pe stratul Top” ?!!! ce? unde?
-
- imaginile corespunzătoare desenului de cablaj sunt irațional de mari și colorate (negru/rosu – risipă de cerneală și hârtie)

În concluzie:

- se poate și mai bine..

Universitatea "Dunărea de Jos" Galați
Facultatea de Automatică, Calculatoare, Inginerie Electrică și Electronică
Specializarea Inginerie Electronică și Telecomunicații

Proiect Circuite Digitale

-automat finit sincron-

Profesor îndrumător,
Silviu Epure

Studentă,

Grupa 2321 A

9

2011

CUPRINS

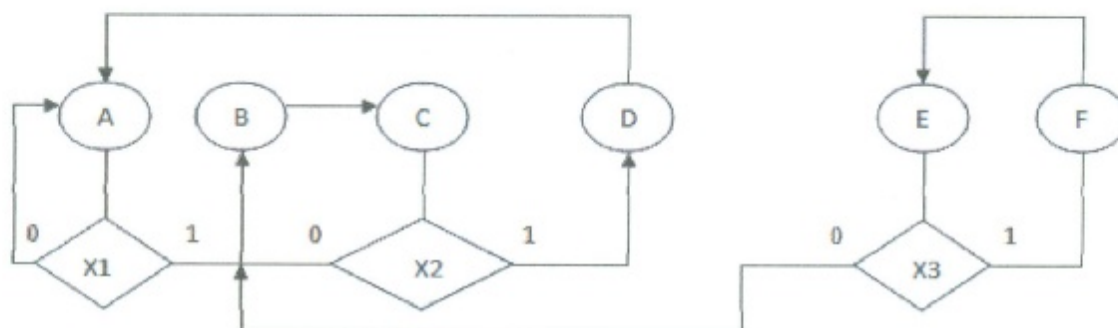
1.Prezentarea temei proiectului	3
2.Obținerea schemei logice.....	3
3.Schema pentru simulare.....	6
4.Realizarea cablajului pentru circuit.....	9

1. Prezentarea temei proiectului

Cerință:

Să se implementeze automatul finit sincron din figură folosind bistabile de tip JK și multiplexoare.

Diagrama stărilor



Ieșirile stărilor:

A: Y1=0 Y2=0

B: Y1=1 Y2=0

C: Y1=0 Y2=1

D: Y1= 1 Y2=1

E: Y1=1 Y2=1

F: Y1= 0 Y2=0

2. Obținerea schemei logice

Pentru realizarea implementării automatului finit este nevoie de completarea tabelului tranzițiilor și parcurgerea diagramei stărilor.

Tabelul tranzițiilor se construiește trecând de la fiecare stare prezentă la starea viitoare care îi corespunde. Se examinează stările fiecărui bistabil și se trec în tabel. Apoi se face minimizarea stărilor și în final se implementează schema logică a automatului.

Codificarea stărilor:

A=000; B=001; C=010; D=011; E=100; F=101.

Coloanele funcțiilor J1, K1, J2, K2, J3, K3 sunt completate cu ajutorul tabelului de tranziții al bistabilului JK:

Q	Q+	J	K
0	0	0	x
0	1	1	x
1	0	x	1

Tabelul tranzițiilor

	X1	X2	Q1	Q2	Q3	Q1+	Q2+	Q3+	J1	K1	J2	K2	J3	K3	Y1	Y2
P0	0	0	0	0	0	0	0	0	0	x	0	x	0	x	0	0
P1	0	0	0	0	1	0	1	0	0	x	1	x	x	1	0	1
P2	0	0	0	1	0	0	0	1	0	x	x	1	1	x	1	0
P3	0	0	0	1	1	0	0	0	0	x	x	1	x	1	0	0
P4	0	0	1	0	0	0	0	1	x	1	0	x	1	x	1	0
P5	0	0	1	0	1	1	0	0	x	0	0	x	x	1	1	1
P6	0	0	1	1	0	x	x	x	x	x	x	x	x	x	x	x
P7	0	0	1	1	1	x	x	x	x	x	x	x	x	x	x	x
P8	0	1	0	0	0	0	0	0	0	x	0	X	0	x	0	0
P9	0	1	0	0	1	0	1	0	0	x	1	x	x	1	0	1
P10	0	1	0	1	0	0	1	1	0	x	x	0	1	x	1	1
P11	0	1	0	1	1	0	0	0	0	x	x	1	x	1	0	0
P12	0	1	1	0	0	0	0	1	x	1	0	x	1	x	1	0
P13	0	1	1	0	1	1	0	0	x	0	0	x	x	1	1	1
P14	0	1	1	1	0	x	x	x	x	x	x	x	x	x	x	x
P15	0	1	1	1	1	x	x	x	x	x	x	x	x	x	x	x
P16	1	0	0	0	0	0	0	1	0	x	0	x	1	x	1	0
P17	1	0	0	0	1	0	1	0	0	x	1	x	x	1	0	1
P18	1	0	0	1	0	0	0	1	0	x	x	1	1	x	1	0
P19	1	0	0	1	1	0	0	0	0	x	x	1	x	1	0	0
P20	1	0	1	0	0	1	0	1	x	0	0	x	1	x	0	0
P21	1	0	1	0	1	1	0	0	x	0	0	x	x	1	1	1
P22	1	0	1	1	0	x	x	x	x	x	x	x	x	x	X	x
P23	1	0	1	1	1	x	x	x	x	x	x	x	x	x	x	x
P24	1	1	0	0	0	0	0	1	0	x	0	x	1	x	1	0
P25	1	1	0	0	1	0	1	0	0	x	1	x	x	1	0	1
P26	1	1	0	1	0	0	1	1	0	x	x	0	1	x	1	1
P27	1	1	0	1	1	0	0	0	0	x	x	1	x	1	0	0
P28	1	1	1	0	0	1	0	1	x	0	0	x	1	x	0	0
P29	1	1	1	0	1	1	0	0	x	0	0	x	x	1	1	1
P30	1	1	1	1	0	x	x	x	x	x	x	x	x	x	x	x
P31	1	1	1	1	1	x	x	x	x	x	x	x	x	x	x	x

Coloanele ieșirilor Y1, Y2 se obțin în funcție de stările viitoare Q1+,Q2+,Q3+.

Reducerea numărului de stări

Minimizarea tabelului de la 32 de linii la 16 se realizează astfel: se caută stările care generează aceleași stări viitoare și ieșiri. Acest lucru se face între starea Q3 și intrările fiecărui multiplexor, respectiv ieșirile automatului finit rezultând tabelul reducerii stărilor.

Tabelul reducerii stărilor

	J1	K1	J2	K2	J3	K3	Y1	Y2
P0	0	x	Q3	x	0	Q3	0	Q3
P1	0	x	x	1	$\overline{Q3}$	Q3	$\overline{Q3}$	0
P2	x	$\overline{Q3}$	0	x	Q3	Q3	1	Q3
P3	x	x	x	x	x	x	x	x
P4	0	x	Q3	x	0	Q3	0	Q3
P5	0	x	x	Q3	$\overline{Q3}$	Q3	$\overline{Q3}$	$\overline{Q3}$
P6	x	$\overline{Q3}$	0	x	$\overline{Q3}$	Q3	1	Q3
P7	x	x	x	x	x	x	x	x
P8	0	x	Q3	x	$\overline{Q3}$	Q3	$\overline{Q3}$	Q3
P9	0	x	x	1	$\overline{Q3}$	Q3	$\overline{Q3}$	0
P10	x	0	0	x	$\overline{Q3}$	Q3	Q3	Q3
P11	x	x	x	x	x	x	x	x
P12	0	x	Q3	x	$\overline{Q3}$	Q3	$\overline{Q3}$	Q3
P13	0	x	x	Q3	$\overline{Q3}$	Q3	$\overline{Q3}$	$\overline{Q3}$
P14	x	0	0	x	$\overline{Q3}$	Q3	Q3	Q3
P15	x	x	x	x	x	x	x	x

$$J1=0$$

$$K1=\overline{Q3}(I2+I6)$$

$$J2=Q3(I0+I4+I8+I12)$$

$$K2=I1+I9+Q3(I4+I13)$$

$$J3=\overline{Q3}(I1+I2+I5+I6+I8+I9+I10+I12+I13+I14)$$

$$K3=Q3(I0+I1+I2+I4+I5+I6+I8+I9+I10+I14)$$

$$Y1=I2+I6+Q3(I10+I14)+\overline{Q3}(I1+I5+I8+I9+I12+I13)$$

$$Y2=Q3(I0+I2+I4+I6+I8+I10+I12+I14)+\overline{Q3}(I5+I14)$$

3.Schema pentru simulare

Pentru desenarea schemei sistemului am folosit programul de simulare Orcad.

Schema conține:

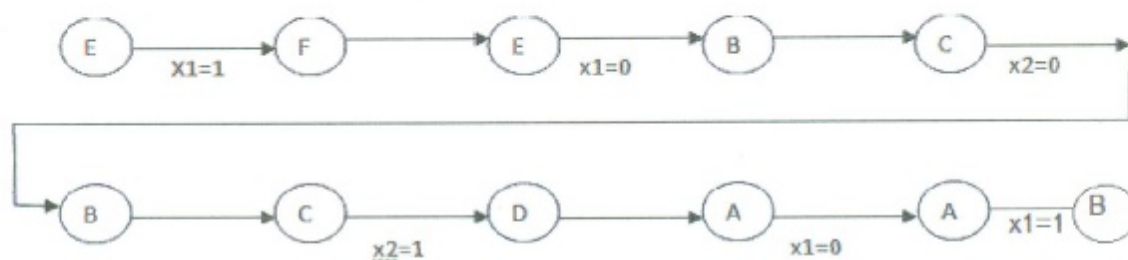
- doua bistabile de tip JK;
- 7 multiplexoare(se folosește cel cu codul 74150)
- 4 stimuli.

Pentru că avem 6 stări este nevoie doar de doua bistabile.Pentru fiecare intrare în bistabile(J1,K1,J2,K2,J3,K3) și ieșiri(Y1,Y2) se folosește câte un multiplexor.

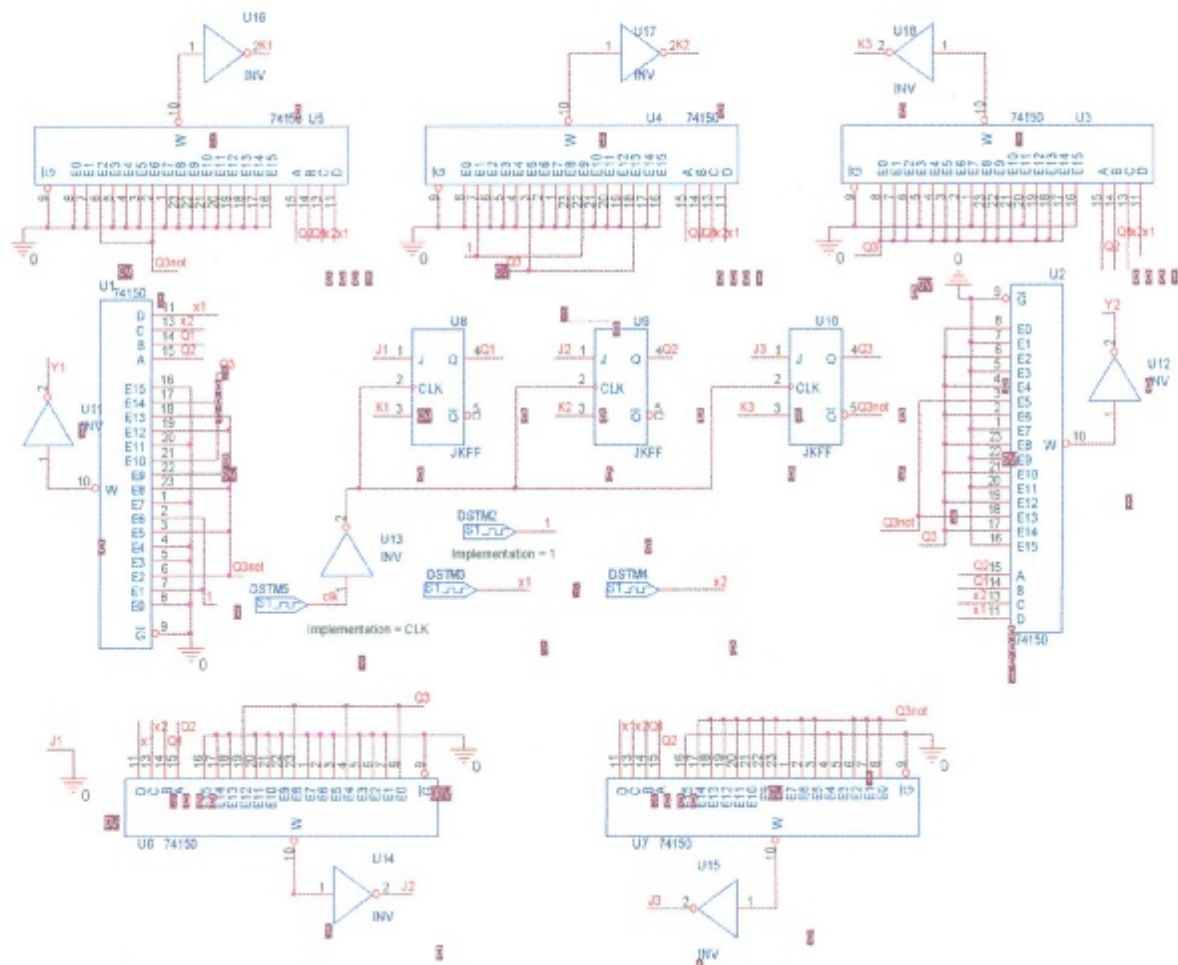
Fiind un automat finit sincron intrările se modifică odata cu schimbarea frontului crescator al semnalului de ceas(CLK).

Parcurerea stărilor se face după sensul următor:se pleacă din starea E când intrarea x1 este pe 1 logic se ajunge în starea F,trece în starea E unde x1 trece pe 0 logic,ajunge în B trece automat în starea C unde x2 se schimbă pe 0 logic,trece în B,apoi se întoarce în C unde x2 cade pe 0 logic,ajunge în starea D,apoi în A iar x1 cade pe 0 logic și se ajunge tot în starea A,unde x1 trece pe 1 logic si ajunge in starea B

Parcurerea stărilor are reprezentarea:



Schema pentru simulare



Semnalul de ceas CLOCK este implementat cu ajutorul stimulului DIGSTIM1 din biblioteca Sourcstm. Perioada semnalului generat de CLK este de 20ms, iar schimbările stărilor se face pe front crescător.

Bistabilele sunt de tip JKFF. Pentru realizarea simulării este nevoie ca cele două bistabile să fie setate pe nivelul de 0 logic din profilul de editare al simulării.

Semnalul de 1 logic se implementează cu un stimulul digstim1 din Sourcstm și se definește astfel: se dă click dreapta pe stimul, se selectează *Edit Pspice Stimulus*, se dă numele 1Logic, din Digital se selectează *Signal* și *Initial Value 1*.

Intrările x1, x2, x3 se definesc cu stimuli de tip STIM1 din biblioteca Source.

Definirea stimulilor:

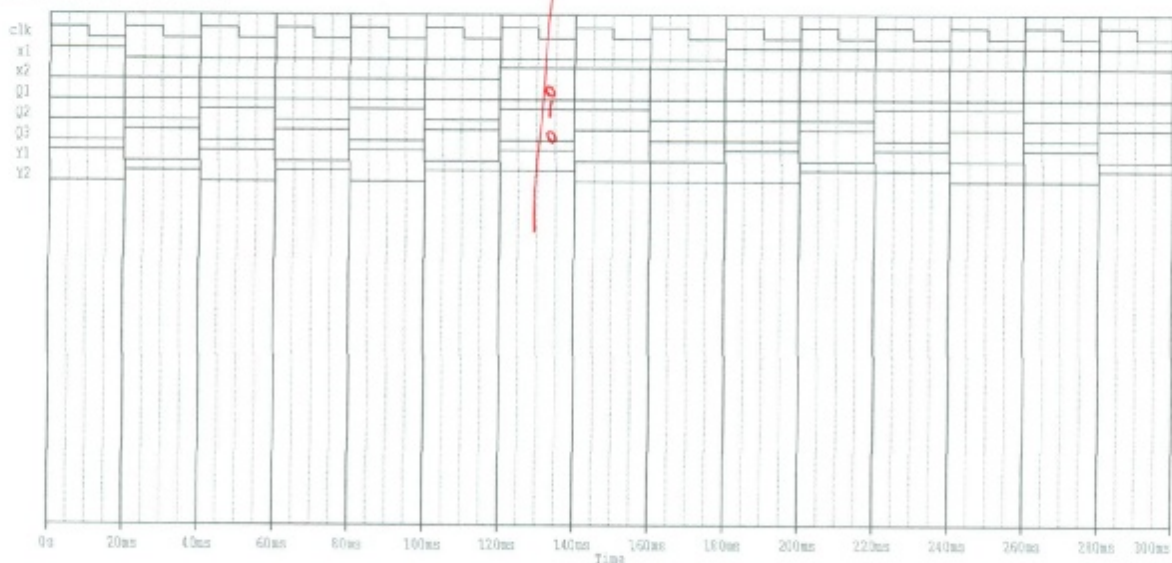
-pentru x1

SCHEMATIC1 : PAGE1	
Color	Default
COMMAND1	0ms 1
COMMAND2	20ms 0
COMMAND3	40ms 0
COMMAND4	60ms 0
COMMAND5	80ms 0
COMMAND6	100ms 0
COMMAND7	120ms 0
COMMAND8	140ms 0
COMMAND9	160ms 0
COMMAND10	180ms 1
COMMAND11	

-pentru x2

SCHEMATIC1 : PAGE1	
Color	Default
COMMAND1	0ms 0
COMMAND2	20ms 0
COMMAND3	40ms 0
COMMAND4	60ms 0
COMMAND5	80ms 0
COMMAND6	100ms 0
COMMAND7	120ms 1
COMMAND8	

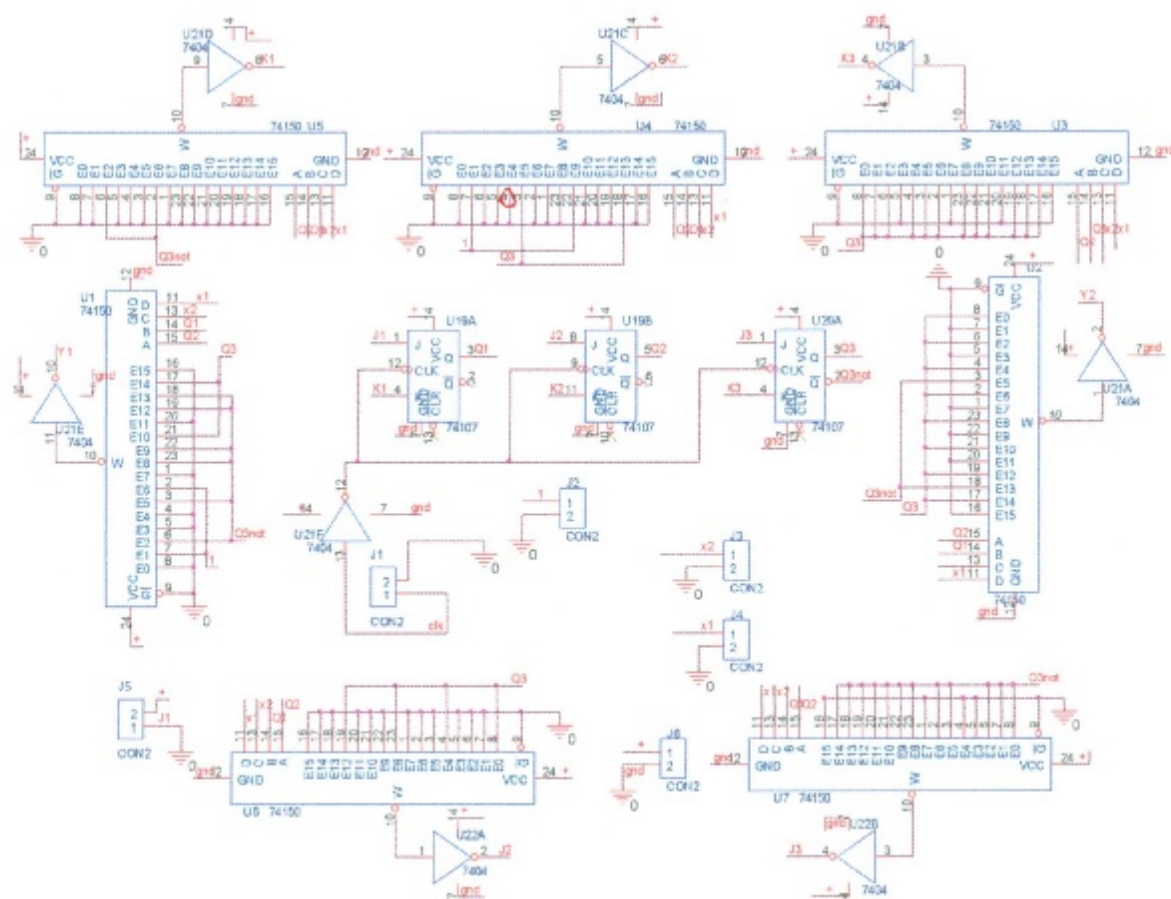
Simularea în Orcad



4. Realizarea cablajului pentru circuit

Pentru cablaj se înlocuiesc stimulii cu condensatoare nepolarizate, se înlocuiesc bistabilele cu 74107 și inversoarele 7404, se activează alimentările pentru noile circuite utilizate (se dă dublu click pe capsulă se bifează *Power Pins Visible* apoi se fac legăturile), se prevede un condensator în locul sursei de alimentare condensatoare la semnalele de ieșire.

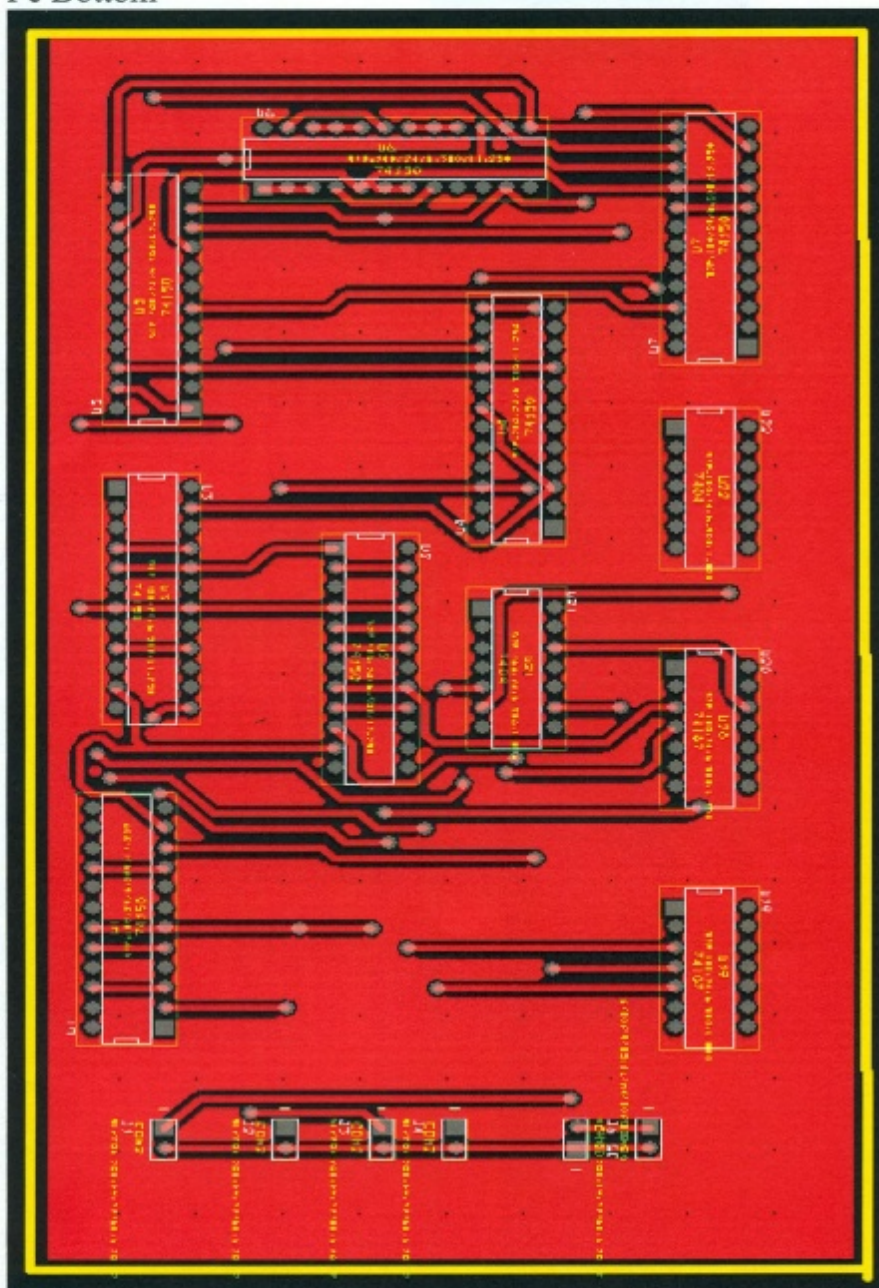
Schema pentru cablaj



Cablajul este realizat pe două straturi (cu trasee de 1 mm grosime și izolare de 0.5 mm).

Pe Bottom

Pe Bottom



Pe stratul Top

