

Observații:

Pe prima pagină:

- utilizarea inconsistentă a diacriticelor,
- titlul generic de „profesor” – nu există în mediul academic; (există „cadru didactic”, dar un simplu „Îndrumător” ar fi fost de ajuns);
- lipsește anul în care a fost realizat proiectul.

În restul proiectului:

- paginile nu sunt numerotate;
- cuvinte puține, propoziții și mai puține, fraze inexistente;
- greșeli de logică în exprimare:
 - o un circuit digital nu este format dintr-o schemă;
 - o un circuit digital nu urmărește subpunctele de rezolvare a problemei;
 - o nu știu cine sunt $X_1, \dots, Y_1, \dots, A, \dots$
 - o de unde rezultă câte circuite bistabile sunt necesare?
 - o „circuitul a fost făcut în Orcad” – „proiectat” poate, „făcut” în nici un caz!
 - o „inversor” nu „invertor”
 - o „Clockul” nu e cuvânt din dicționarul limbii române (și nici al limbii engleze)
 - o „simularea a fost făcută în Time Domain” ?! o fi în limba română? engleză? chineza?! – idem „Layout Circuit digital”
- schemele electronice sunt imprimate în partea de îndosariere a paginii
- imaginile corespunzătoare desenului de cablaj sunt irațional de mari și colorate (negru/roșu – risipă de cerneală și hârtie)

În concluzie:

- studentul știe cum să proiecteze un circuit digital, dar nu știe să se exprime coerent și corect.

Universitatea "Dunărea de Jos" ,Galați
Facultatea de Automatica, Calculatoare, Inginerie Electrica și Electronica

Circuite Digitale PROIECT

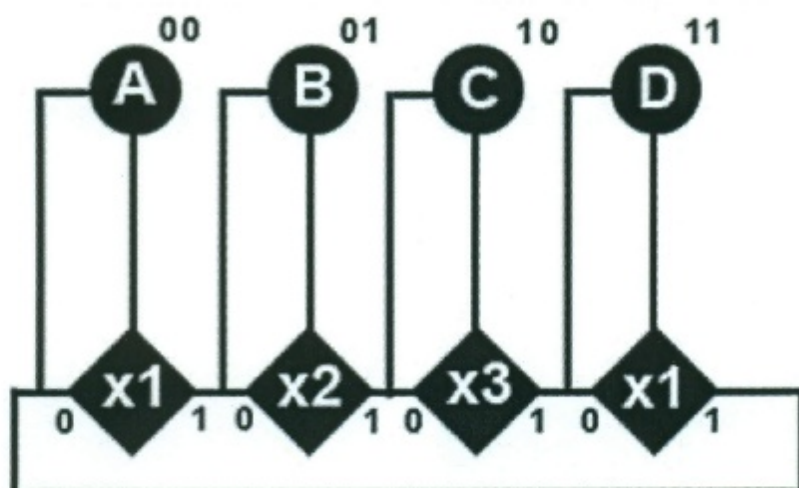
Profesor Îndrumător
Asistent Silviu EPURE

Student


Grupa 2322

9

Sa se implementeze automatul finit sincron din figura cu bistabile JK si porti SAU.



- Circuitul digital format din schema 3 urmareste subpunctele:
- rezolvarea problemei
 - minimizarea problemei pentru porti sau
 - simulare
 - cablaj

Rezolvarea problemei

Se aleg cele 4 stari prezente: $A=00, B=01, C=10, D=11$.

Se completeaza tabelul 3 cu starile viitoare Q_1^+, Q_2^+ tinand cont de: X_1, X_2, X_3 si schema 3

Se completeaza tabelul cu valorile pentru bistabilele: J_1K_1, J_2K_2 , folosind tabelul 1:

Tabel 1

Q	Q^+	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

Se completeaza Y_1, Y_2, Y_3 in functie de starea prezenta formate din Q_1, Q_2 folosind tabelul 2.

Tabel 2

	Y_1	Y_2	Y_3
A	0	1	0
B	0	1	1
C	1	1	1
D	1	0	1

Tabel 3

X ₁	X ₂	X ₃	Q ₁	Q ₂	Q ₁ ⁺	Q ₂ ⁺	J ₁	K ₁	J ₂	K ₂	Y ₁	Y ₂	Y ₃
0	0	0	0	0	0	0	0	x	0	x	0	1	0
0	0	0	0	1	0	1	0	x	x	0	0	1	1
0	0	0	1	0	1	0	x	0	0	x	1	1	1
0	0	0	1	1	1	1	x	0	x	0	1	0	1
0	0	1	0	0	0	0	0	x	0	x	0	1	0
0	0	1	0	1	0	1	0	x	x	0	0	1	1
0	0	1	1	0	1	1	x	0	1	x	1	1	1
0	0	1	1	1	1	1	x	0	x	0	1	0	1
0	1	0	0	0	0	0	0	x	0	x	0	1	0
0	1	0	0	1	1	0	1	x	x	1	0	1	1
0	1	0	1	0	1	0	x	0	0	x	1	1	1
0	1	0	1	1	1	1	x	0	x	0	1	0	1
0	1	1	0	0	0	0	0	x	0	x	0	1	0
0	1	1	0	1	1	0	1	x	x	1	0	1	1
0	1	1	1	0	1	1	x	0	1	x	1	1	1
0	1	1	1	1	1	1	x	0	x	0	1	0	1
1	0	0	0	0	0	1	0	x	1	x	0	1	0
1	0	0	0	1	0	1	0	x	x	0	0	1	1
1	0	0	1	0	1	0	x	0	0	x	1	1	1
1	0	0	1	1	0	0	x	1	x	1	1	0	1
1	0	1	0	0	0	1	0	x	1	x	0	1	0
1	0	1	0	1	0	1	0	x	x	0	0	1	1
1	0	1	1	0	1	1	x	0	1	x	1	1	1
1	0	1	1	1	0	0	x	1	x	1	1	0	1
1	1	0	0	0	0	1	0	x	1	x	0	1	0
1	1	0	0	1	1	0	1	x	x	1	0	1	1
1	1	0	1	0	1	0	x	0	0	x	1	1	1
1	1	0	1	1	0	0	x	1	x	1	1	0	1
1	1	1	0	0	0	1	0	x	1	x	0	1	0
1	1	1	0	1	1	0	1	x	x	1	0	1	1
1	1	1	1	0	1	1	x	0	1	x	1	1	1
1	1	1	1	1	0	0	x	1	x	1	1	0	1

Minimizarea problemei

Pentru cele 2 bistabile si 3 iesiri se minimizeaza dupa cum urmeaza:

- se imparte fiecare coloana de bistabile si iesire in cate 2 randuri.
- Pentru fiecare bistabil si iesire se utilizeaza diagrama Veitch-Karnaugh.

Tabel 4

J ₁	K ₁	J ₂	K ₂	Y ₁	Y ₂	Y ₃
0	x	0	0	0	1	Q ₂
x	0	0	0	1	$\bar{Q}_2$	1
0	x	0	0	0	1	Q ₂
x	0	1	0	1	$\bar{Q}_2$	1
Q ₂	x	0	1	0	1	Q ₂
x	0	0	0	1	$\bar{Q}_2$	1
Q ₂	x	0	1	0	1	Q ₂
x	0	1	0	1	$\bar{Q}_2$	1
0	x	1	0	0	1	Q ₂
x	Q ₂	0	1	1	$\bar{Q}_2$	1
0	x	1	0	0	1	Q ₂
x	Q ₂	1	1	1	$\bar{Q}_2$	1
Q ₂	x	1	1	0	1	Q ₂
x	Q ₂	0	1	1	$\bar{Q}_2$	1
Q ₂	x	1	1	0	1	Q ₂
x	Q ₂	1	1	1	$\bar{Q}_2$	1

$\bar{x}_3$	$\bar{x}_1$	x_1		
0	Q ₂	Q ₂	0	$\bar{Q}_1$
x	x	x	x	$\bar{Q}_1$
x	x	x	x	$\bar{Q}_1$
0	Q ₂	Q ₂	0	$\bar{Q}_1$

 $*Q_2 \rightarrow$

0	1	1	0
x	x	x	x
x	x	x	x
0	1	1	0

$$J_1 = x_2 * Q_2 = \bar{x} + \bar{Q}_2$$

$\bar{x}_3$	$\bar{x}_1$	x_1		
0	0	1	1	$\bar{Q}_1$
0	0	0	0	$\bar{Q}_1$
1	1	1	1	$\bar{Q}_1$
0	0	1	1	$\bar{Q}_1$

 $\rightarrow$

0	0	1	1
0	0	0	0
1	1	1	1
0	0	1	1

$$J_2 = x_3 * Q_1 + x_1 * \bar{Q}_1 = \bar{x}_3 + Q_1 + \bar{x}_1 + Q_1 = \bar{x}_3 + \bar{Q}_1 + \bar{x}_1 + \bar{Q}_1$$

	$\bar{x}_1$	x_1	$\bar{Q}_1$
$\bar{x}_3$	x	x	x
x_3	0	0	Q_2
	0	0	Q_2
	x	x	x

x	x	x	x
0	0	1	1
0	0	1	1
x	x	x	x

$$K_1 = x_1 * Q_2 = \bar{x}_1 + \bar{Q}_2$$

	$\bar{x}_1$	x_1	$\bar{Q}_1$
$\bar{x}_3$	0	1	1
x_3	0	0	1
	0	0	1
	0	1	1

$$K_2 = \bar{x}_2 * Q_1 + x_1 * Q_1 = \bar{x}_2 + \bar{Q}_1 + \bar{x}_1 + \bar{Q}_1$$

	$\bar{x}_1$	x_1	$\bar{Q}_1$
$\bar{x}_3$	0	0	0
x_3	1	1	1
	1	1	1
	0	0	0

$$Y_1 = Q_1$$

	$\bar{x}_1$	x_1	$\bar{Q}_1$
$\bar{x}_3$	1	1	1
x_3	$\bar{Q}_2$	Q_2	$\bar{Q}_2$
	$\bar{Q}_2$	$\bar{Q}_2$	Q_2
	1	1	1

$$Y_2 = \bar{Q}_2 + \bar{Q}_1$$

	$\bar{x}_1$	x_1	$\bar{Q}_1$
$\bar{x}_3$	Q_2	Q_2	Q_2
x_3	1	1	1
	1	1	1
	Q_2	Q_2	Q_2

$$Y_3 = Q_2 + Q_1$$

Simulare circuit digital

Circuitul a fost facut in Orcad, simularea in Pspice.

Pentru circuit am folosit urmatoarele componente:

- multiplexor 16 intrari: 74150
- invertor: INV/DATACONV
- bistabil JK: JKFF (pornind de la 0 logic)
- clock: DIGSTIM 1(clock)
- Intrare X_1, X_2, X_3 : STIM 1
- Poarta si: OR2
- Poarta sau: NOR2

Clockul este la frecventa de 50Hz.

Intrarea X_1 are urmatoarele valori: 0ms 0,20ms 1,40ms 1, 60ms 0.

Intrarea X_2 are urmatoarele valori: 0ms 0,20ms 0,40ms 0, 60ms 1.

Intrarea X_3 are urmatoarele valori: 0ms 0,20ms 0,40ms 0, 60ms 1.

Simularea a fost facuta in Time Domain: Run to time 160ms.

Layout Circuit digital

Cablajul a fost facut in Orcad.

Sursele de semnal (X_1, X_2, X_3, clk) si sursele de alimentare au fost inlocuite cu CON2.

Bistabile JK au fost inlocuite cu 74107.

Inversoarele au fost inlocuite cu 7404.

Portile sau negat au fost inlocuite cu 74AC02.

Portie sau au fost inlocuite cu 74AC32.

Traseele sunt de 40mils(1mm), GND 20mils(0.5mm).

Cablajul este facut pe Top si Bottom, ecranul de masa este pe Bottom.

