

FIȘA DISCIPLINEI**1. Date despre program**

1.1 Instituția de învățământ superior	Universitatea „Dunărea de Jos” din Galați
1.2 Facultatea / Departamentul	Automatică, Calculatoare, Inginerie Electrică și Electronică
1.3 Catedra	Electronică și Telecomunicații
1.4 Domeniul de studii	Calculatoare și Tehnologia Informației
1.5 Ciclul de studii	Licență
1.6 Programul de studii/Calificarea	Calculatoare

2. Date despre disciplină

2.1 Denumirea disciplinei	Electronică Digitală						
2.2 Titularul activităților de curs	Conf. dr. ing. Popa Rustem						
2.3 Titularul activităților de seminar	Conf. dr. ing. Popa Rustem , asist. dr. ing. Bogdan Dumitrașcu, asist. drd. ing. Miron Mihaela, prep. drd. ing. Andrei Mihaela						
2.4 Anul de studiu	2	2.5 Semestrul	1	2.6 Tipul de evaluare	examen	2.7 Regimul disciplinei	OB

3. Timpul total estimat (ore pe semestru al activităților didactice)

3.1 Număr de ore pe săptămână	6	din care: 3.2 curs	3	3.3 laborator + proiect	2+1
3.4 Total ore din planul de învățământ	56	din care: 3.5 curs	42	3.6 laborator + proiect	28+14
Distribuția fondului de timp					ore
Studiul după manual, suport de curs, bibliografie și notițe					40
Documentare suplimentară în bibliotecă, pe platformele electronice de specialitate și pe teren					8
Pregătire seminarii/laboratoare, teme, referate, portofolii și eseuri					20
Tutoriat					6
Examinări					2
Alte activități.....					
3.7 Total ore studiu individual	76				
3.9 Total ore pe semestru	132				
3.10 Numărul de credite	4				

4. Precondiții (acolo unde este cazul)

4.1 de curriculum	• Nu este cazul
4.2 de competențe	• Nu este cazul

5. Condiții (acolo unde este cazul)

5.1. de desfășurare a cursului	• Sală de curs dotată cu videoproiector, tablă de scris, cretă.
5.2. de desfășurare a seminarului/laboratorului	• Laborator de electronică, dotat cu calculatoare și platforme specifice.

6. Competențele specifice acumulate

Competențe profesionale	- cunoașterea și înțelegerea fundamentelor structurilor numerice și însușirea cunoștințelor de bază necesare pentru alte discipline viitoare: procesoare, calculatoare, rețele. - însușirea tehnicilor de analiză a circuitelor numerice implementate cu circuite integrate pe scară mică și medie - însușirea tehnicilor de proiectare a circuitelor numerice implementate cu circuite integrate pe scară mică și medie.construcția circuitelor integrate numerice, a principalelor familii logice și a parametrilor lor. - însușirea noțiunilor de bază despre limbajele HDL, destinate descrierii hardware a circuitelor numerice. - folosirea limbajelor HDL pentru implementarea unor proiecte de complexitate mică și medie în circuite integrate programabile de tip CPLD și FPGA.
Competențe transversale	- manifestarea unor atitudini pozitive și responsabile față de implementarea hardware. - angajarea în relații de parteneriat cu alte persoane – instituții cu responsabilități similare cu accent pe aptitudinile relaționale: comunicare, lucrul în echipă. - valorificare optimă și creativă a propriului potențial în activitățile specifice, participarea la propria dezvoltare profesională, conștientizarea nevoii de formare continuă.

7. Obiectivele disciplinei (reieșind din grila competențelor specifice acumulate)

7.1 Obiectivul general al disciplinei	cunoașterea și înțelegerea tehnicilor de proiectare a structurilor numerice
7.2 Obiectivele specifice	- însușirea tehnicilor de analiză a structurilor numerice - însușirea tehnicilor de sinteză a structurilor numerice - însușirea tehnicilor de proiectare folosind limbaje HDL

8. Conținuturi

8. 1 Curs	Metode de predare	Observații
Introducere. Istoric. Clasificări ale sistemelor numerice. Sisteme de numerație.	Videoproiector și tablă cu cretă	Se predă oral și se interacționează permanent cu studenții din sală.
Funcții binare. Modalități de reprezentare. Tehnici de minimizare. Sisteme de funcții binare. Modele Verilog.		
Structuri combinaționale. Structuri standard: decodificator, demultiplexor, multiplexor. Structuri specializate: sumator, comparator, codificator prioritar, unitate logico-aritmetică. Modele Verilog.		
Circuite bistabile. Registre. Numărătoare. Modele Verilog.		
Automate cu stări finite. Definiții. Clasificări. Transformări. Reducerea și codificarea stărilor. Implementarea cu registre.		
Automate finite. Exemple de proiectare. Modele Verilog.		
Structuri programabile. Memoria ROM. Memoria RAM. Structuri PLD și FPGA.		
Structuri logice cu tranzistoare bipolare. Familia logică TTL.		
Structuri logice cu tranzistoare MOS. Familia logică CMOS.		
Astabile și monostabile.		
Sisteme secvențiale asincrone. Hazard și zgomote în circuitele digitale.		

Bibliografie		
1. Rustem Popa, <i>Analiza și sinteza sistemelor numerice</i> , Editura Fundației Universitare “Dunărea de Jos”, Galați, 2002 (în biblioteca Universității și pe Internet la adresa: http://www.etc.ugal.ro/rpopa/index.html)		
2. Toacșe Gh., Nicula D., <i>Electronică digitală. Verilog HDL. – vol.II</i> , Editura Tehnică, București, 2005		
3. Wakerly John, <i>Circuite digitale: principiile și practicile folosite în proiectare</i> , Editura Teora, București, 2002 (traducere din engleză – în biblioteca Universității)		
8. 2 Laborator	Metode de predare	Observații
Prezentarea mediilor VeriWell 2.0 si Xilinx ISE 12.1.	Se folosește limbajul Verilog HDL pentru sinteza pe calculator a sistemelor numerice, sau platforme fizice echipate cu circuite integrate reale asupra cărora se fac diverse măsurători.	Se folosesc mediile VeriWell 2.0 și Xilinx ISE 12.1
Implementarea funcțiilor binare cu porți (platformă fizică)		
Implementarea funcțiilor binare cu porți în Verilog HDL.		
Implementarea structurilor MUX/DMUX (platformă fizică)		
Implementarea structurilor MUX/DMUX în Verilog HDL.		
Structuri cu bistabile. Registre și numărătoare (platformă fizică)		
Implementarea latch-urilor și bistabilelor în Verilog HDL.		
Implementarea numărătoarelor și registrelor în Verilog HDL.		
Implementarea automatelor finite în Verilog HDL.		
Implementarea unui automat finit în FPGA (platforma Basys cu FPGA Xilinx Spartan 3E)		
Caracteristicile familiilor logice TTL și CMOS (platformă fizică)		
Probleme I. Analiza și sinteza structurilor combinaționale.		
Probleme II. Analiza și sinteza structurilor secvențiale.		
Colocviu de laborator (lucrare scrisă cu notă)		
Bibliografie		
1. Referate de laborator disponibile pe Internet si la laborator.		
2. Toacșe Gh., Nicula D., <i>Electronică digitală. Verilog HDL. – vol.II</i> , Editura Tehnică, București, 2005		
8.3 Proiect	Metode de predare	Observații
Etape de proiectare. Cerințe și notare.	Se parcurg etapele proiectării folosind un exemplu.	Se formulează teme individuale.
Formularea temelor individuale. Exemple de proiectare.		
Simularea funcționării pe calculator. Susținerea și notarea finală.		
Bibliografie		
1. Rustem Popa, <i>Analiza și sinteza sistemelor numerice</i> , Editura Fundației Universitare “Dunărea de Jos”, Galați, 2002 (în biblioteca Universității și pe Internet la adresa: http://www.etc.ugal.ro/rpopa/index.html)		

9. Coroborarea conținuturilor disciplinei cu așteptările reprezentanților comunității epistemice, asociațiilor profesionale și angajatori reprezentativi din domeniul aferent programului

- Disciplina asigură însușirea cunoștințelor fundamentale din domeniul proiectării sistemelor numerice de complexitate variabilă, inclusiv folosind circuite programabile CPLD și FPGA și limbaje HDL. Aceste soluții tehnice reprezintă stadiul actual în proiectarea cu circuite numerice și prezintă mare interes pentru firmele interesate în realizarea de prototipuri sau serii mici de fabricație.

10. Evaluare

Tip activitate	10.1 Criterii de evaluare	10.2 Metode de evaluare	10.3 Pondere din nota finală
10.4 Curs	Rezolvarea problemelor	Examen scris	60%
10.5 Laborator	Intrebări din referate	Examinare scrisă	20%
10.6 Proiect	Simularea funcționării	Susținere orală	20%
10.7 Standard minim de performanță			
- Notele de la lucrările practice și nota de la proiect să fie mai mari sau egale cu 5. - Nota obținută la examenul scris să fie mai mare sau egală cu 5.			

Data completării

.....7.09.2014.....

Semnătura titularului de curs

Semnătura titularului de seminar

.....

Data avizării în catedră

.....

Semnătura șefului catedrei

.....