

6 CIRCUITE BASCULANTE BISTABILE

6.1 Introducere

Circuitele basculante bistabile sau, mai scurt, **circuitele bistabile** sunt circuite care pot avea la ieșire două stări stabile: 0 logic și 1 logic. Circuitul poate păstra la ieșire oricare dintre cele două stări logice, un timp nedefinit, și numai o comandă aplicată din exterior pe intrări poate declanșa modificarea stării logice a ieșirii. Deci un astfel de circuit **memorează** o anumită stare logică între două comenzi externe. Această proprietate nu există la circuitele discutate până acum, numite și **circuite combinaționale**.

Circuitele bistabile sunt **circuite secvențiale**, sau **circuite cu memorie**. Ieșirile lor nu mai depind în exclusivitate de intrări, ci și de anumite valori anterioare ale ieșirilor, deci există aici niște reacții de la ieșiri la intrări. Prezența acestor reacții ne obligă să ținem seamă de întârzierile semnalelor prin porțile logice, adică de **timpii de propagare** prin porți. Vom înlocui modelul **porții logice ideale**, caracterizat prin timp de propagare nul, cu **modelul logic asincron**, care echivalează poarta reală cu o poartă ideală și un element de întârziere. Modelul este prezentat în figura 6.1, unde τ este timpul mediu de propagare prin poartă, care poate avea orice valoare reală pe scara timpului, valoare dependentă de tehnologia de fabricație a porții.

Să analizăm acum cel mai simplu circuit secvențial cu ajutorul modelului logic asincron. După cum se poate vedea în figura 6.2, este format dintr-o poartă ȘI-NU cu două intrări, care are o reacție de la ieșire la una din intrări. Variabila binară A se aplică pe cealaltă intrare.

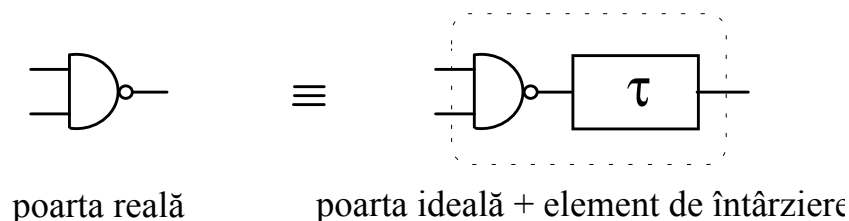


Fig. 6.1 Modelul logic asincron

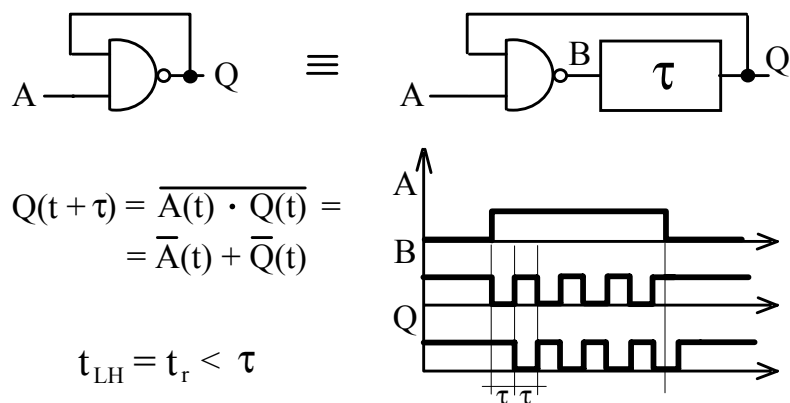


Fig. 6.2 Cea mai simplă structură secvențială

Ecuția de stare a circuitului exprimă legătura dintre ieșire și intrare. Ea nu este însă suficientă pentru a înțelege pe deplin funcționarea circuitului. Cel mai clar mod de reprezentare a funcționării unui circuit este prin **forme de undă** în timp, sau **cronograme** ([Mange, 1987]). Se poate observa că dacă $A = 0$, atunci ieșirea $Q = 1$. Dacă A trece în 1 logic, atunci ieșirea porții ideale B trece instantaneu în 0, iar ieșirea Q la fel, dar cu o întârziere τ . Reacția aduce această nouă valoare a lui Q pe intrare, B trece instantaneu în 1, iar Q îl copiază pe B , din nou după timpul τ . Aceste oscilații cu perioada 2τ se mențin atât timp cât $A = 1$.

Deci circuitul prezentat este un oscilator comandat de intrarea A . El nu are însă valoare practică pentru că oscilează doar pe frecvența maximă și nici măcar aceasta nu este cunoscută cu precizie (se știe ordinul de mărime a lui τ , nu și valoarea lui exactă). Condiția de amorsare a oscilațiilor este ca frontul crescător al semnalului de intrare să fie mai mic decât τ .

Circuitul se mai numește și **circuit astabil**, pentru că nici una din cele două stări logice ale ieșirii nu este stabilă. Atunci când $A = 1$, ieșirea nu își poate păstra starea logică mai mult de durata τ . Există și **circuite monostabile**, adică circuite care au o stare stabilă și cealaltă instabilă. Ele își păstrează starea la ieșire oricât de mult timp, dar la primirea unei comenzi din exterior trec în starea instabilă (sau cvasistabilă), care are o durată dată de anumiți parametri de circuit (cel mai des, un grup RC). **Circuitele bistabile** au ambele stări logice stabile și trecerea de la o stare la alta se face numai prin aplicarea unei comenzi externe pe intrări. În acest capitol ne ocupăm numai de circuitele bistabile, pentru că ele permit sinteza algoritmică a structurilor numerice, prin memorarea unor stări interne. Circuitele astabile sunt utilizate în general pentru generarea semnalelor de ceas, iar monostabilele pentru introducerea unor temporizări.

Așadar circuitul prezentat nu este un bistabil. Atunci de ce ne mai ocupăm de el? Pentru că simplitatea lui ajută la introducerea unor concepte esențiale pentru studiul circuitelor secvențiale: **starea** circuitului, **diagrama stărilor** și **tabelul tranzițiilor**.

Starea circuitului reprezintă ansamblul valorilor logice ale ieșirilor. Un circuit cu m ieșiri are 2^m stări. Circuitul din exemplul considerat are două stări: 0 și 1.

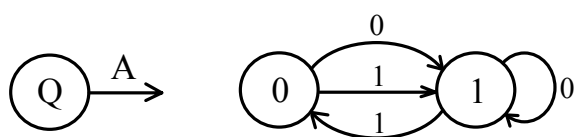


diagrama stărilor

starea prezentă Q(t)	starea următoare	
	A(t) = 0	A(t) = 1
0	1	1
1	1	0

tabelul tranzițiilor

Fig. 6.3 Diagrama stărilor și tabelul tranzițiilor

Diagrama stărilor este un graf orientat care conține câte un nod (reprezentat aici printr-un cerc etichetat) pentru fiecare stare a circuitului și un set de arce orientate care sugerează tranzițiile între diferite stări. Un circuit cu k intrări și m ieșiri are 2^{m+k} arce. Circuitul considerat are o intrare și o ieșire, deci 4 arce, iar diagrama stărilor este reprezentată în figura 6.3.

Tabelul tranzițiilor evidențiază tranzițiile dintre stări. Coloana din stânga conține starea prezentă a circuitului, iar în coloanele adiacente se trec stările următoare. Un circuit cu k intrări și m ieșiri are 2^k coloane și 2^m linii. Tabelul tranzițiilor pentru circuitul de mai sus, reprezentat în figura 6.3, are două linii și două coloane pentru starea următoare.

6.2. Elementul de memorie $\bar{S}\bar{R}$

Dacă conectăm două porți logice ȘI-NU conform schemei din figura 6.4 obținem un prim circuit bistabil care memorează evenimentul marcat prin tranziția temporară a unei intrări în 0 logic. Din acest motiv circuitul se mai numește **latch** (de la *latch* = zăvor, încuietore, a prinde). Cele două scheme din figura 6.4 sunt identice. În practică se folosește mai mult reprezentarea din dreapta, dar desenul din stânga evidențiază clar că circuitul are o singură reacție.

Formele de undă din figura 6.5 au fost obținute prin simulare PSpice. Se poate observa că tranziția lui $\bar{S}$ în 0 logic determină tranziția lui Q în 1 după t_{pLH} și a lui $\bar{Q}$ în 0 după încă t_{pHL} . Revenirea lui $\bar{S}$ în 1 după un timp mai mare de $t_{pLH} + t_{pHL}$ nu modifică ieșirile circuitului. Deci latch-ul memorează tranziția lui $\bar{S}$ în 0 logic prin poziționarea ieșirilor $Q\bar{Q}$ în 10. În mod asemănător, tranziția lui $\bar{R}$ în 0 logic determină poziționarea ieșirilor $Q\bar{Q}$ în 01. Se poate observa că ieșirile Q și $\bar{Q}$ sunt complementare, activarea lui $\bar{S}$ prin 0 logic produce **setarea** circuitului (poziționarea ieșirii Q în 1 logic), iar activarea lui $\bar{R}$ prin 0 logic produce **resetarea** circuitului (poziționarea ieșirii Q în 0 logic).

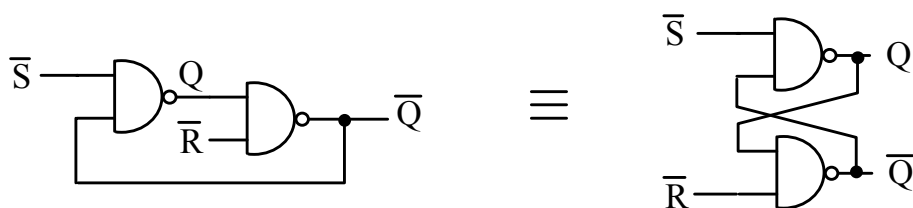


Fig. 6.4 Schema logică a latch-ului $\bar{S}\bar{R}$

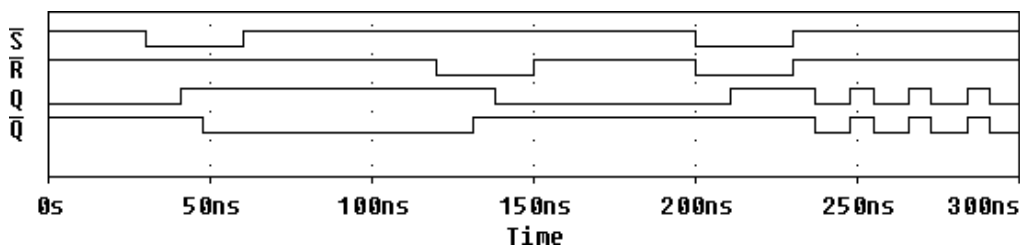


Fig. 6.5 Formele de undă care descriu funcționarea latch-ului $\bar{S}\bar{R}$

$\bar{S}(t)$	$\bar{R}(t)$	$Q(t+\Delta)$	$\bar{Q}(t+\Delta)$	
0	0	1	1	interzis
0	1	1	0	
1	0	0	1	
1	1	$Q(t)$	$\bar{Q}(t)$	

Dacă $t_{pHL} \approx t_{pLH} = \tau$:

$$\bar{Q}(t+2\tau) = R(t+\tau) + \overline{S(t) + Q(t)}$$

$$\bar{S}(t) + \bar{R}(t) = 1$$

Fig. 6.6 Tabelul și ecuațiile care descriu funcționarea latch-ului

Poziționarea simultană a intrărilor $\bar{S}$ și $\bar{R}$ în 0 logic determină poziționarea ieșirilor Q și $\bar{Q}$ în 1 logic, deci nu ar mai fi complementare. Asta nu este însă o problemă care să afecteze funcționarea circuitului. Problema apare dacă urmează o tranziție simultană a intrărilor în 1 logic. Simularea PSpice indică o oscilație a ieșirilor între stările $Q\bar{Q} = 00$ și 11, pentru că cele două porți din circuit folosesc același model. În realitate, asimetriile din circuitul real, adică timpii de propagare ușor diferiți dintre cele două porți, vor obliga ieșirile să capete fie valorile $Q\bar{Q} = 01$, fie $Q\bar{Q} = 10$. Pentru că aceste asimetrii nu pot fi controlate de proiectant, combinația 00 aplicată pe intrări este interzisă.

Tabelul din figura 6.6, numit de multe ori "tabel de adevăr" este de fapt un tabel de tranziții care arată valorile stărilor următoare, notate cu $Q(t+\Delta)$ și $\bar{Q}(t+\Delta)$, pentru diferite combinații posibile ale intrărilor $\bar{S}(t)$ și $\bar{R}(t)$. Stare următoare înseamnă aici noua valoare a ieșirii după un timp mai mare sau egal cu 2τ de la activarea intrării respective. Este evident că durata de activare pe 0 logic a uneia dintre intrările $\bar{S}$ sau $\bar{R}$ trebuie să depășească valoarea de 2τ . Prima ecuație din figura 6.6 este ecuația de stare a circuitului, iar a doua este cea care interzice combinația 00 aplicată pe intrări.

6.3 Latch-ul SR cu ceas

Un dezavantaj al latch-ului $\bar{S}\bar{R}$ este faptul că orice comandă pe intrări, dorită sau nedorită, va poziționa ieșirile în conformitate cu tabelul tranzițiilor din figura 6.6. A apărut ideea de a controla accesul informației pe intrările $\bar{S}$ și $\bar{R}$ cu ajutorul unui semnal extern, numit **semnal de ceas** (de la *clock*), pe care îl notăm cu CL .

Circuitul rezultat se numește **latch SR cu ceas** și are schema logică dată în figura 6.7. Se observă că a fost introdus un nivel suplimentar de porți logice. Accesul informației de la intrări este controlat de semnalul CL . Dacă $CL = 1$, atunci datele de pe intrările S și R ajung complementate la intrările $\bar{S}$ și $\bar{R}$ ale latch-ului SR de la ieșire. Dacă $CL = 0$, atunci intrările sunt blocate, iar latch-ul SR de la ieșire își păstrează ieșirile memorate anterior (cazul $\bar{S} = \bar{R} = 1$).

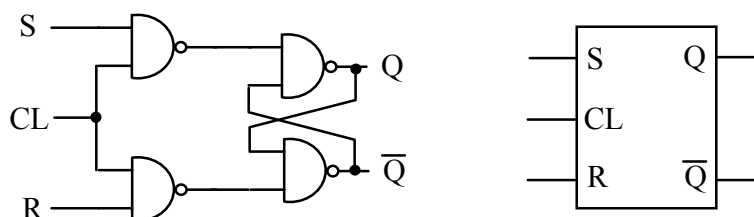


Fig. 6.7 Schema logică și simbolul logic pentru latch-ul SR cu ceas

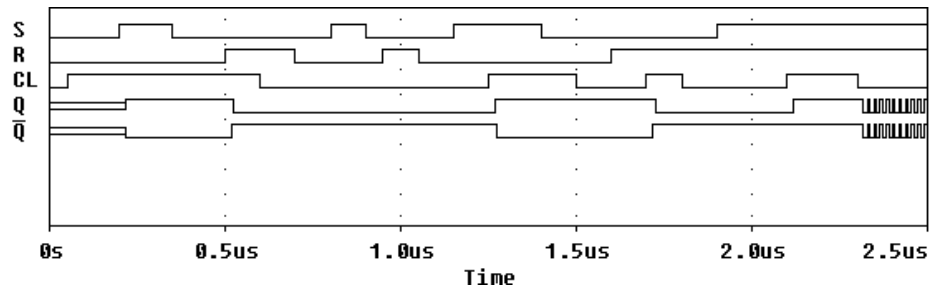


Fig. 6.8 Forme de undă la funcționarea latch-ului SR cu ceas

CL(t)	S(t)	R(t)	Q(t+Δ)	$\overline{Q}(t+Δ)$	
1	0	0	Q(t)	$\overline{Q}(t)$	$Q(t+Δ) = S(t) \cdot C(t) + [\overline{R}(t) + \overline{C}(t)] \cdot Q(t)$ $S(t) \cdot R(t) = 0$
1	0	1	1	0	
1	1	0	0	1	
1	1	1	1	1	
0	x	x	Q(t)	$\overline{Q}(t)$	interzis

Fig. 6.9 Tabelul și ecuațiile care descriu funcționarea latch-ului

Figura 6.8 reprezintă formele de undă obținute prin simulare, pentru diferite variații ale semnalelor de intrare S , R și CL . Se poate observa că circuitul își modifică starea numai când $CL = 1$. De această dată intrările S și R sunt active pe 1 logic, iar combinația interzisă a intrărilor se menține, de această dată pentru $S = R = 1$. Se mai poate observa că la începutul simulării valoarea logică a ieșirilor este incertă, ea devenind $Q = 1$ și $\overline{Q} = 0$ după activarea intrării S , pe durata palierului de 1 logic a semnalului CL . În realitate există nivele logice clare la ieșiri, imediat după cuplarea alimentării, dar modelul circuitului folosit în simulare trebuie inițializat.

Tabelul tranzițiilor din figura 6.9 arată care este starea următoare pentru toate combinațiile posibile aplicate pe intrări. Starea următoare este noua valoare a ieșirii după un timp mai mare sau egal cu Δ , un multiplu de τ . Dacă acceptăm aproximarea făcută și până acum, $t_{pHL} \approx t_{pLH} = \tau$, atunci durata palierului de 1 logic pentru semnalul de ceas trebuie să depășească 3τ . După cum se poate bănuși, în vecinătatea tranzițiilor ceasului există un interval de timp critic, în care intrările S și R trebuie să fie stabile. Prima ecuație din figura 6.9 este ecuația de stare a circuitului, iar a doua este cea care interzice combinația $S = R = 1$ aplicată pe intrări.

6.4 Latch-ul de tip D (date)

Acest circuit de tip latch a fost conceput pentru memorarea temporară a datelor aplicate pe intrare. Circuitul are o singură intrare de date notată cu D , iar intrarea de ceas și ieșirile Q și $\overline{Q}$ rămân la fel ca la latch-ul SR cu ceas. De fapt diferența dintre cele două circuite este o simplă logică combinatorială de intrare, adică un circuit cu intrarea D , care generează funcțiile binare S și R . În cele ce urmează vom face sinteza acestor funcții binare, pornind de la ecuația de stare a **latch-ului de tip D**: $Q(t + \Delta) = D(t)$.

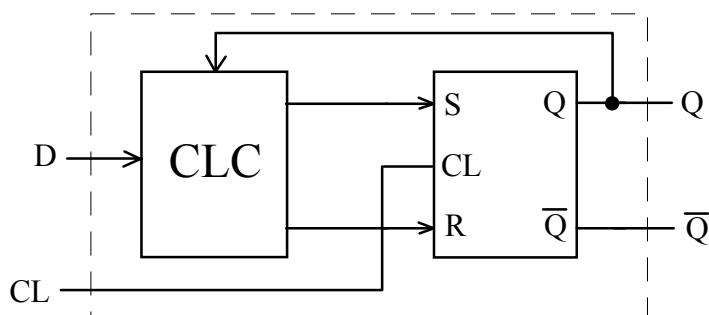


Fig. 6.10 Structura latch-ului de tip D pornind de la latch-ul de tip SR

D(t)	Q(t)	Q(t+Δ)	S(t)	R(t)	$\bar{D}$	D	$\bar{D}$	D
0	0	0	0	x	$\bar{Q}$	0	1	
0	1	0	0	1	Q	0	x	
1	0	1	1	0				
1	1	1	x	0				

$S(t) = D(t)$ $R(t) = \bar{D}(t)$

Fig. 6.11 Sinteza funcțiilor binare de două variabile $S(t)$ și $R(t)$

Observăm pe schema din figura 6.10 că s-a introdus o reacție suplimentară de la ieșirea Q la intrarea în CLC. Este posibil ca noul circuit să fie superior structurat față de latch-ul SR cu ceas și logica combinațională să aibă nevoie de informația asupra stării prezente a circuitului. Dacă acest lucru nu este adevărat, atunci dependența funcțiilor binare S și R de variabila Q dispare în procesul de minimizare a acestor funcții.

Pentru început se construiește tabelul tranzițiilor pentru latch-ul de tip D. Primele coloane din stânga tabelului sunt destinate variabilelor de intrare în CLC (circuit logic combinațional). Liniile tabelului sunt date de toate combinațiile binare ale variabilelor de intrare. Coloana din mijloc este destinată stării următoare a circuitului și se completează cu ajutorul ecuației de stare a circuitului căutat. Se observă că este identică cu coloana variabilei D . În sfârșit, completarea coloanelor funcțiilor binare S și R se face cu ajutorul tabelului de tranziții al latch-ului SR cu ceas. Tabelul din figura 6.9 arată că o tranziție din starea prezentă, $Q(t) = 0$, în starea următoare, $Q(t + \Delta) = 0$, se realizează în două situații: fie când latch-ul își păstrează starea, deci $S(t) = 0$ și $R(t) = 0$, fie când latch-ul se resetează, deci $Q(t + \Delta) = 0$, adică $S(t) = 0$ și $R(t) = 1$. Pe prima linie a tabelului din figura 6.11 se trece $S(t) = 0$ și $R(t) = x$, unde x are semnificația "don't care". Sigur că nu era greșit din punct de vedere logic dacă treceam $R(t) = 0$, dar nu mai obțineam formele minime ale funcțiilor căutate. Tranzițiile în care latch-ul își schimbă starea impun precizarea unor valori logice pe ambele intrări S și R . Astfel, tranziția ieșirii Q de la 1 la 0 este dată de combinația $S(t) = 0$ și $R(t) = 1$, iar tranziția de la 0 la 1 este dată de combinația $S(t) = 1$ și $R(t) = 0$. Ultima linie din tabel se realizează fie când latch-ul își păstrează starea, deci $S(t) = 0$ și $R(t) = 0$, fie când latch-ul se setează, deci $Q(t + \Delta) = 1$, adică $S(t) = 1$ și $R(t) = 0$, deci $S(t) = x$ și $R(t) = 0$.

Prin minimizarea funcțiilor S și R cu ajutorul diagramelor Veitch-Karnaugh se obțin expresiile din figura 6.11, deci funcțiile căutate nu depind de variabila Q . Înseamnă că reacția considerată inițial lipsește și circuitul rezultat este la fel structurat ca și latch-ul SR cu ceas. Într-adevăr, el este un element de memorie și nimic mai mult. Structura latch-ului de tip D și simbolul grafic folosit sunt reprezentate în figura 6.12.

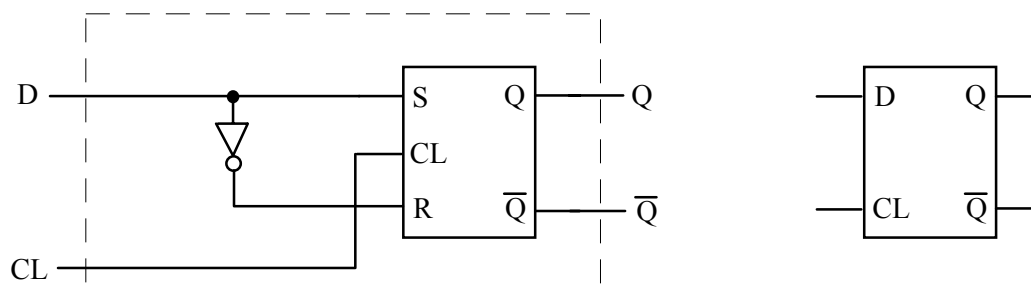


Fig. 6.12 Structura și simbolul latch-ului de tip D

Dacă considerăm că $t_{pHL} \approx t_{pLH} = \tau$, atunci durata palierului de 1 logic pentru semnalul de ceas trebuie să depășească 4τ , pentru că aplicarea comenzii pe intrarea R se produce cu o întârziere de o poartă logică. Ca și în cazul latch-ului SR cu ceas, această condiție nu este greu de îndeplinit și ca atare structura este fizic realizabilă. Dacă pe durata palierului activ intrarea D nu comută, atunci tranziția latch-ului este controlată de ceas.

6.5 Structurile de bistabile de tip JK și T

Tabelul de tranziții al **bistabilului JK** este prezentat în figura 6.13. Observăm că intrările J și K sunt intrări de date și admitem că tranzițiile au loc pe palierul activ al semnalului de ceas. Este prima structură cu două intrări care nu are combinație interzisă de variabile pe intrări, în locul ei existând posibilitatea complementării stării prezente.

Vom face sinteza acestei structuri folosindu-ne de latch-ul SR cu ceas, așa cum am procedat mai sus. Structura căutată este reprezentată în figura 6.14. Logica combinațională are acum trei intrări, cele două variabile de intrare J și K și intrarea de reacție de la ieșirea Q , și două ieșiri, funcțiile binare care se aplică pe intrările de date ale latch-ului SR cu ceas. Tabelul tranzițiilor și sinteza funcțiilor S și R prin minimizare cu diagrame Veitch-Karnaugh sunt reprezentate în figura 6.15.

$J(t)$	$K(t)$	$Q(t+\Delta)$	$\bar{Q}(t+\Delta)$
0	0	$Q(t)$	$\bar{Q}(t)$
0	1	0	1
1	0	1	0
1	1	$\bar{Q}(t)$	$Q(t)$

Fig. 6.13 Tabelul tranzițiilor pentru bistabilul de tip JK

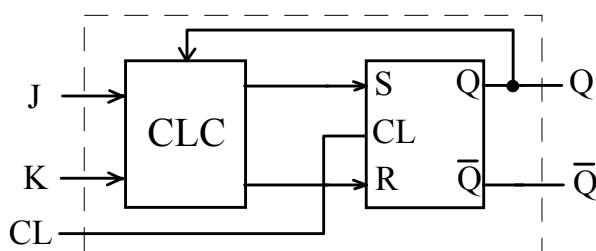


Fig. 6.14 Structura de bistabil JK pornind de la latch-ul de tip SR

J(t)	K(t)	Q(t)	Q(t+Δ)	S(t)	R(t)
0	0	0	0	0	x
0	0	1	1	x	0
0	1	0	0	0	x
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	1	x	0
1	1	0	1	1	0
1	1	1	0	0	1

	$\bar{J}$	J
$\bar{Q}$	0	1
Q	x	0
	$\bar{K}$	K

$$S(t) = J(t) \cdot \bar{Q}(t)$$

	$\bar{J}$	J
$\bar{Q}$	x	0
Q	0	1
	$\bar{K}$	K

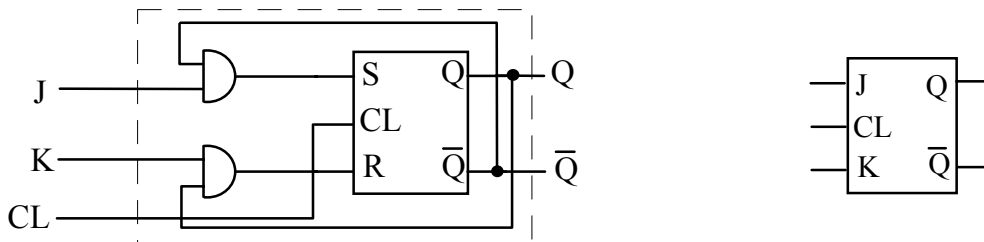
$$R(t) = K(t) \cdot Q(t)$$
Fig. 6.15 Sinteza funcțiilor binare de trei variabile $S(t)$ și $R(t)$ 

Fig. 6.16 Structura și simbolul bistabilului de tip JK

Intrările J , K și Q primesc toate combinațiile binare posibile, iar coloana $Q(t + \Delta)$ se completează folosind tabelul din figura 6.13. Coloanele funcțiilor binare S și R se completează la fel ca la sinteza latch-ului de tip D. Ecuațiile din figura 6.15 reprezintă formele minime ale funcțiilor S și R . Structura rezultată și simbolul grafic utilizat sunt date în figura 6.16.

Se poate observa că de data aceasta reacția introdusă este necesară și circuitul rezultat este superior structurat față de cele discutate până acum. De fapt, din tabelul tranzițiilor pentru bistabilul de tip JK ne puteam aștepta la un circuit ceva mai complicat.

Ecuația de stare a bistabilului JK rezultă din sinteza funcției $Q(t + \Delta)$. Se obține expresia: $Q(t + \Delta) = J(t) \cdot \bar{Q}(t) + Q(t) \cdot \bar{K}(t)$.

Dacă acceptăm că $t_{pHL} \approx t_{pLH} = \tau$, atunci durata palierului de 1 logic pentru semnalul de ceas trebuie să fie aici riguros egală cu 4τ . În caz contrar, structura va suferi comutări multiple. Este foarte clar că această condiție nu poate fi niciodată îndeplinită, atât timp cât valoarea timpului de propagare τ nu este cunoscută cu suficientă precizie. Concluzia este că structura sintetizată aici nu este fizic realizabilă.

Bistabilul de tip T (de la *toggle* = pârghie, comutare) este un circuit care are o singură intrare de date, notată cu T , care stabilește comportamentul circuitului: dacă $T = 0$, atunci $Q(t + \Delta) = Q(t)$, iar dacă $T = 1$, atunci $Q(t + \Delta) = \bar{Q}(t)$.

Se poate observa că el este de fapt un caz particular al bistabilului JK. Tabelul tranzițiilor din figura 6.13 ne arată că pentru $J = 0$ și $K = 0$, atunci $Q(t + \Delta) = Q(t)$, iar pentru $J = 1$ și $K = 1$, atunci $Q(t + \Delta) = \bar{Q}(t)$. Prin conectarea împreună a intrărilor J și K și notarea intrării rezultate cu T se obține bistabilul de tip T.

Și aici durata palierului de 1 logic pentru semnalul de ceas trebuie să fie egală cu 4τ , pentru evitarea comutărilor multiple, deci suntem din nou în imposibilitatea de a construi, practic, acest circuit.

6.6 Principiul master-slave

Și totuși ce putem face, ca aceste structuri reușite de bistabile JK sau T, care reprezintă mai mult decât simple elemente de memorie, să poată fi realizate practic? Există două metode de a înlătura efectul nedorit al reacției suplimentare de la ieșire la intrare. Cea pe care o discutăm acum izolează ieșirile de intrări prin introducerea unui latch suplimentar. Cealaltă elimină efectul reacției prin folosirea unor latch-uri SR care memorează valorile anterioare ale intrărilor.

Structura **bistabilului SR master-slave** (sau stăpân-sclav) este prezentată în figura 6.17. Se folosesc două latch-uri SR cu ceas identice. Cel care primește informația de la intrări este pe post de stăpân, iar cel care execută comanda stăpânului trimițând informația la ieșiri este pe post de sclav. Între cele două circuite nu există nici o diferență, diferă numai momentele de timp în care se activează semnalele lor de ceas. Inversorul amplasat între intrările de ceas determină trecerea informației prin latch-uri în contratimp și aceasta este esențial în funcționarea structurii de tip master-slave. Intrarea externă de ceas are proprietăți deosebite față de intrările de ceas ale latch-urilor SR și, din acest motiv, se notează diferit (cu CLK, tot de la *clock*).

Dacă intrarea $CLK = 1$, atunci informația prezentă pe intrări este introdusă în secțiunea master, iar secțiunea slave este izolată de secțiunea master și memorează valorile anterioare ale ieșirilor din master (intrarea CL a latch-ului slave este pe 0 logic). Tranziția în 0 logic a semnalului CLK blochează intrarea în master și permite accesul informației de la ieșirile secțiunii master în secțiunea slave. Intrările în master nu mai sunt văzute de slave, care își fixează ieșirile funcție de ieșirile secțiunii master, într-un "moment strict și exclusiv determinat de semnalul CLK ", și anume tranziția negativă a ceasului ([Ștefan, 1983]).

Fără a fi standardizat, simbolul logic uzual pentru bistabilul SR master-slave este reprezentat în figura 6.17. Cercul de la intrarea semnalului CLK sugerează faptul că modificarea ieșirilor se face pe frontul căzător al semnalului de ceas. Se pot construi și bistabile master-slave care să comute pe tranziția pozitivă a ceasului.

Ideea prezentată permite construcția oricărui tip de bistabil în structură master-slave. Structura de latch care corespunde tipului dorit de bistabil se amplasează pe poziția master, iar pe poziția slave se amplasează un latch SR cu ceas. Schema din figura 6.18 exemplifică construcția bistabilului JK master-slave. Se poate vedea cum reacția este luată de la ieșirile secțiunii slave, iar aplicarea în antifază a ceasului pe cele două latch-uri permite izolarea ieșirilor de intrări și evitarea comutărilor multiple. Structura comută în conformitate cu tabelul de tranziții din figura 6.13, dar rata de apariție a stărilor următoare este dată de perioada semnalului de ceas CLK și nu de timpii de propagare prin porți.

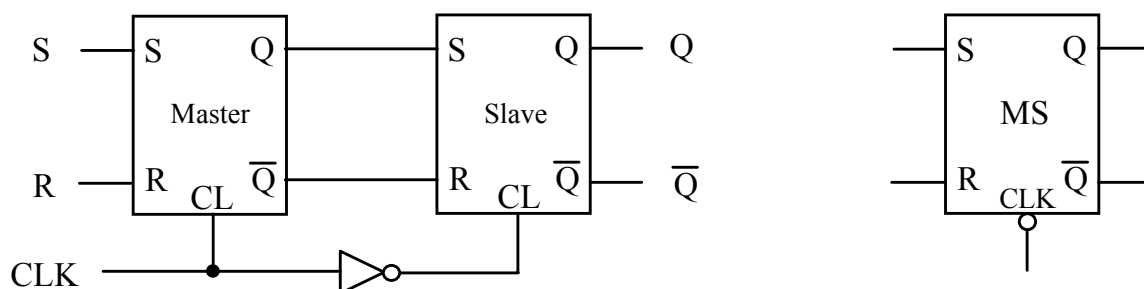


Fig. 6.17 Structura și simbolul logic pentru bistabilul SR master-slave

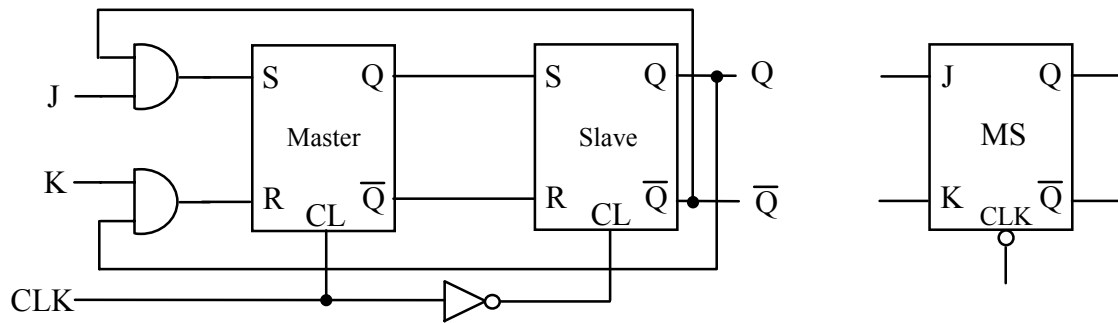


Fig. 6.18 Structura și simbolul logic pentru bistabilul JK master-slave

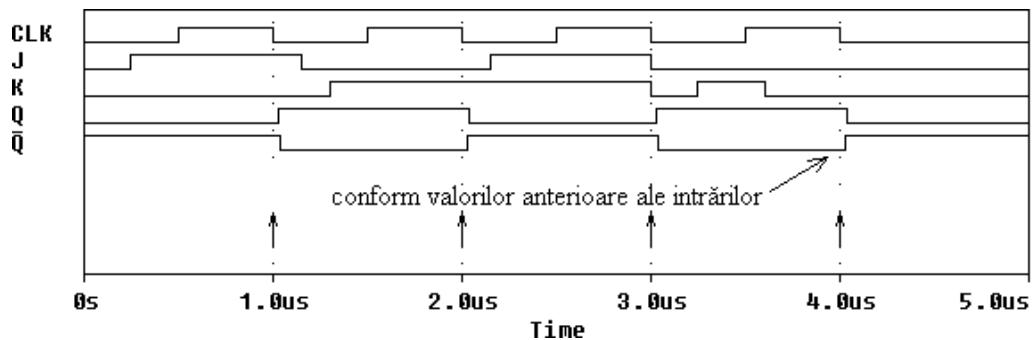


Fig. 6.19 Forme de undă în funcționarea bistabilului JK master-slave

Singura deficiență pe care o mai are o astfel de structură se datorează tranzițiilor nedeterminate, neafectate de principiul master-slave. Pentru o funcționare corectă se impune ca intrările în master să nu se modifice pe durata în care semnalul CLK este în 1 logic. În figura 6.19 se poate vedea o funcționare în conformitate cu tabelul tranzițiilor, dar modificarea intrărilor pe durata de 1 logic a semnalului CLK ar putea produce o comutare care corespunde valorilor anterioare ale intrărilor J și K .

6.7 Principiul declanșării pe front

Restricția de a nu modifica intrările pe durata palierului de 1 logic al ceasului este eliminată de structura cu declanșare pe front. De fapt și structura master-slave comută pe front, dar structura de care ne ocupăm acum comută ca urmare a tranziției pozitive a ceasului, notat aici tot cu CLK . Vom studia în continuare **bistabilul SR cu declanșare pe front** și vom vedea care au fost etapele succesive care au dus la realizarea acestei structuri.

S-a pornit de la structura latch-ului SR cu ceas și s-au înlocuit porțile logice de pe primul nivel cu câte un latch $\overline{S}\overline{R}$, în scopul memorării intrărilor. Această transformare este reprezentată în figura 6.20. Inversoarele au fost introduse pentru a păstra nivelul logic pe care sunt active semnalele de intrare S și R .

Următoarea etapă are în vedere eliminarea posibilității de apariție a combinației interzise pe intrările latch-ului SR de la ieșire. Reacțiile introduse cu linii punctate în figura 6.21 rezolvă problema, numai că apare alta, și anume scurtcircuitarea ieșirilor porților logice conectate la intrarea CLK . Din acest motiv, porțile respective se înlocuiesc cu porți ȘI-NU care au trei intrări.

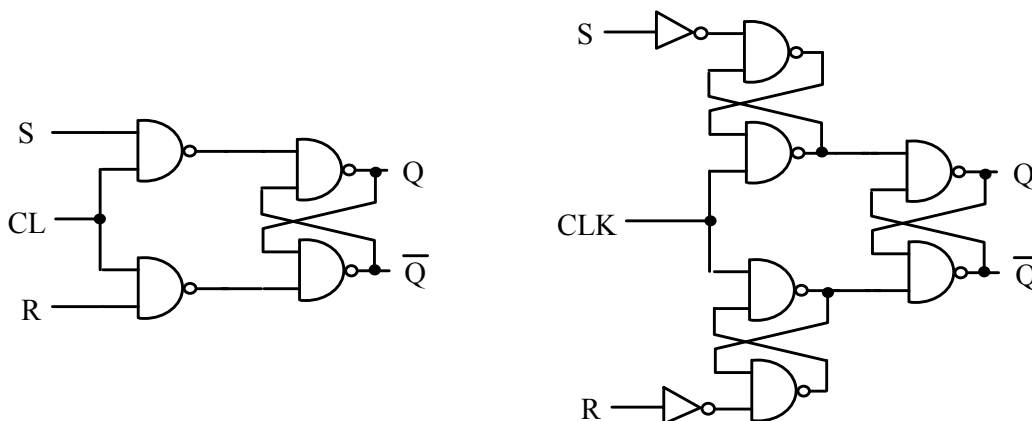


Fig. 6.20 Memorarea intrărilor în latch-ul SR cu ceas

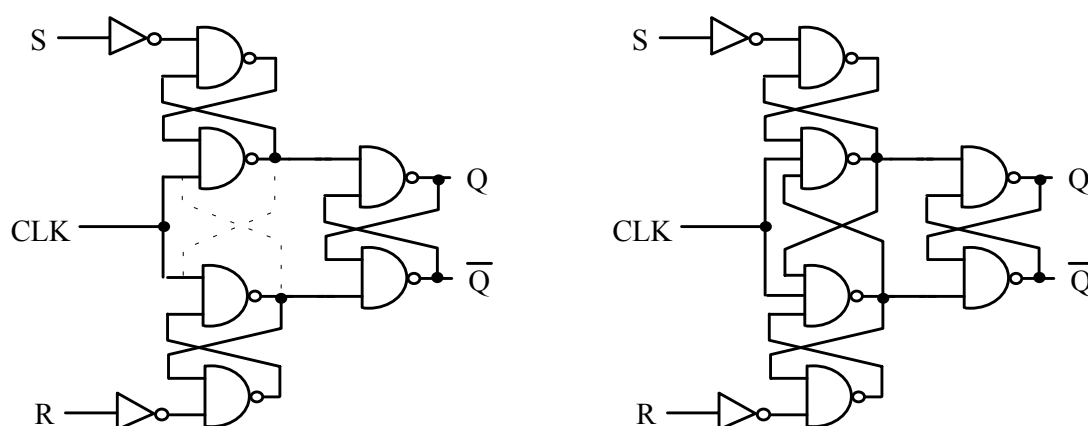


Fig. 6.21 Evitarea combinației 00 pe intrările latch-ului SR de la ieșire

Circuitul rezultat mai are două mici deficiențe. Pe de o parte, dacă $S = R = 0$ și una din intrări se modifică pe palierul de 1 logic al ceasului, se va produce o comutare chiar în acel moment și nu pe frontul crescător al ceasului. Pe de altă parte, combinația interzisă pe intrări $S = R = 1$ se menține și în acest caz. Dacă prima deficiență poate fi înlăturată, cea de-a doua nu, fiind o proprietate intrinsecă a bistabilului SR.

Deficiența semnalată mai sus este pusă în evidență pe formele de undă din figura 6.22. Eliminarea ei se face prin introducerea unor reacții suplimentare în circuit: astfel intrarea S se înlocuiește prin $S + \bar{R} \cdot Q$, iar intrarea R se înlocuiește prin $R + \bar{S} \cdot \bar{Q}$. Schema logică rezultată este prezentată în figura 6.23.

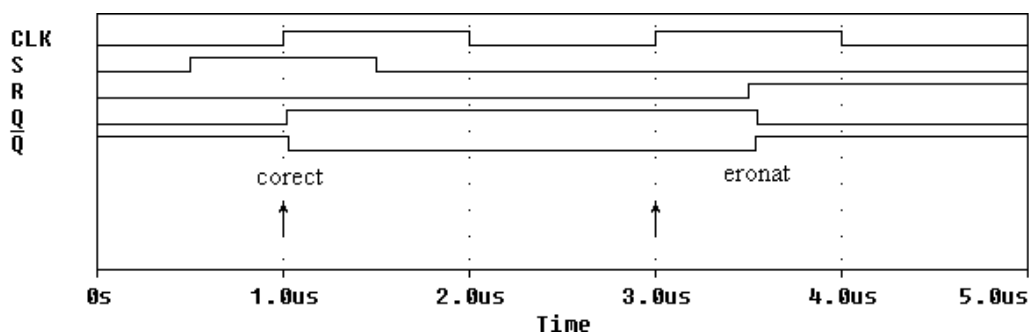


Fig. 6.22 O deficiență a structurii din figura 6.21

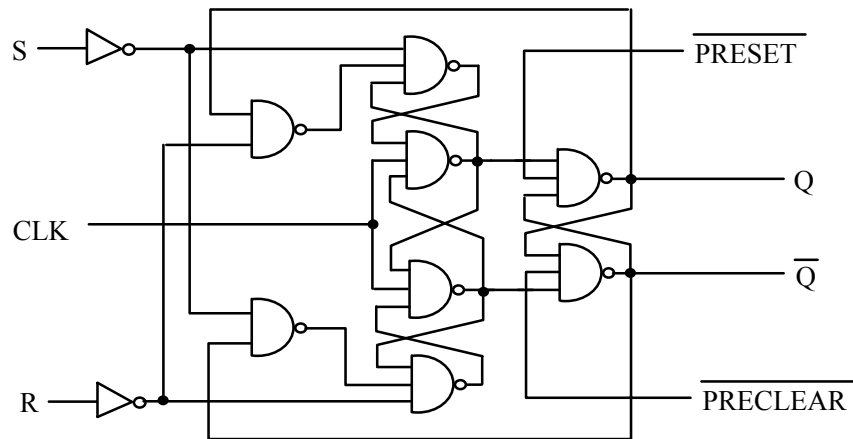


Fig. 6.23 Structura bistabilului SR cu declanșare pe front

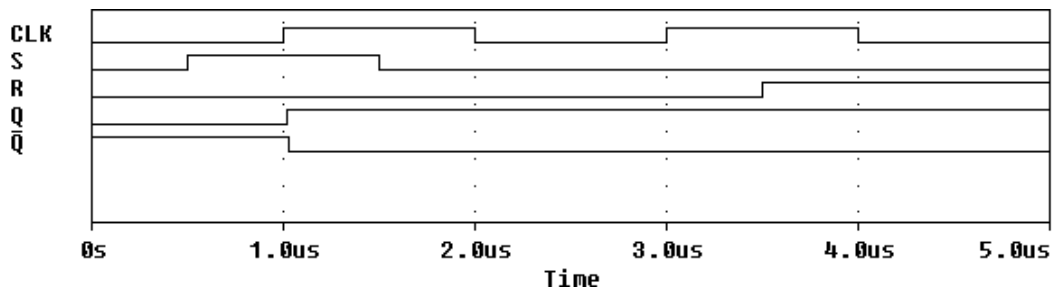


Fig. 6.24 Funcționarea bistabilului SR cu declanșare pe front

Putem observa că schema finală a bistabilului SR conține și două **intrări asincrone**, numite $\overline{PRESET}$ și $\overline{PRECLEAR}$. Prin activarea lor pe 0 logic, ele poziționează ieșirile Q și $\overline{Q}$ în 10, respectiv 01, fără nici o legătură cu semnalul de ceas. Formele de undă din figura 6.24 demonstrează că deficiența semnalată a fost înlăturată, și circuitul comută numai pe frontul crescător al semnalului CLK .

6.8 Metastabilitate

Starea metastabilă este un nivel logic intermediar, cuprins între 0 și 1 logic, care poate apare la ieșirile unui circuit bistabil, atunci când nu se respectă durată minimă a timpilor de setup și de hold. Acești timpi minimi sunt definiți pe desenul formelor de undă din figura 6.25.

Timpul de setup reprezintă timpul scurs din momentul în care s-a modificat intrarea D și până la apariția frontului activ al semnalului CLK , iar **timpul de hold** este timpul scurs de la apariția frontului activ al semnalului CLK și până la noua modificare a intrării de date. Dacă intrarea de date D este stabilă în această fereastră de timp, atunci ieșirea Q comută în conformitate cu tabelul tranzițiilor după un timp notat cu t_{pd} . Dacă este instabilă, atunci este probabil ca după timpul t_{pd} să intre în starea metastabilă, care durează t_r .

Teoretic, durata stării metastabile ar putea fi infinită, dar practic, probabilitatea de menținere a ei scade exponențial cu timpul. Parametrul t_r se mai numește **timp de rezoluție a metastabilității** și nu ar trebui să depășească o perioadă a semnalului de ceas.

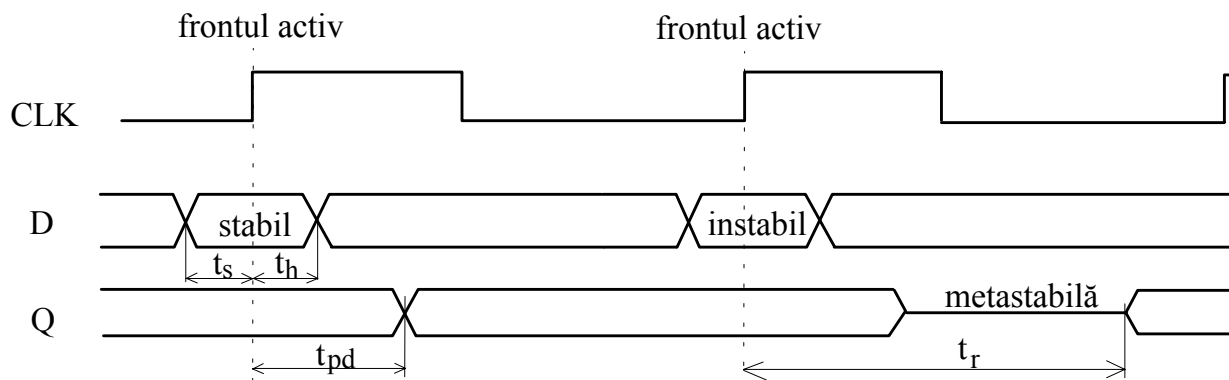


Fig. 6.25 Definirea timpilor de setup și de hold la bistabilul de tip D

Dacă această condiție este respectată, atunci un circuit de sincronizare ca cel din figura 6.27 transformă orice intrare asincronă într-un semnal sincronizat cu semnalul de ceas. Probabilitatea apariției unei stări metastabile cu durata mai mare de t_r este dată de formula ([Wakerly, 1990]):

$$MTBF(t_r) = \frac{\exp(t_r/\tau)}{T_0 \cdot f \cdot a}, \text{ unde}$$

$MTBF$ este timpul mediu între două defecte de sincronizare (durata stării metastabile depășește perioada ceasului), f este frecvența ceasului, a este frecvența de modificare a intrării asincrone, iar T_0 și τ sunt constante care depind de familia logică folosită.

La familia logică LS-TTL $T_0 = 0,4$ s, iar $\tau = 1,5$ ns. Pentru un ceas de 10 MHz, perioada lui este de 100 ns, iar $t_r = 80$ ns, dacă ținem seamă de un timp de setup de circa 20 ns. Dacă intrarea se modifică cu 100 KHz, se obține $MTBF(80\text{ns}) = 3,6 \cdot 10^{11}$ s, adică circa 100 de secole. Pentru un ceas de 16 MHz, acest timp devine $MTBF(42,5\text{ns}) = 3,1$ s !

Formele de undă din figura 6.26 exemplifică apariția stării metastabile dacă considerăm timpi de setup și de hold de 10 ns.

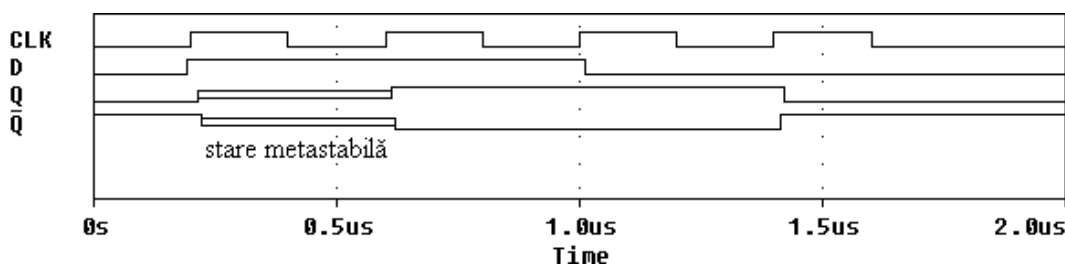


Fig. 6.26 Forme de undă cu timpii de setup și de hold de 10 ns

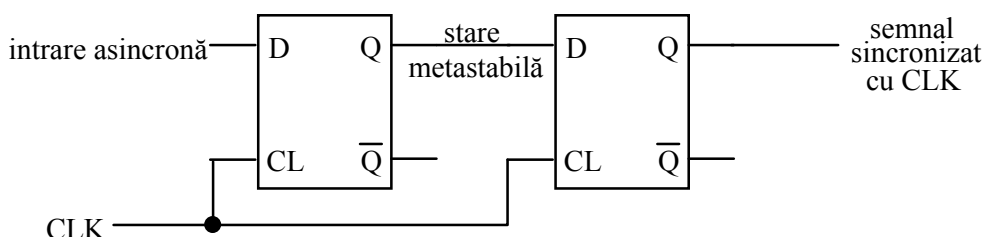


Fig. 6.27 O soluție de eliminare a stării metastabile

Probleme

6.1 Să se implementeze:

- a) un bistabil de tip D, folosind un bistabil de tip JK;
- b) un bistabil de tip JK, folosind un bistabil de tip D;

Comparați cele două soluții din punct de vedere al gradului de structurare.

6.2 Să se implementeze un bistabil de tip T, folosind:

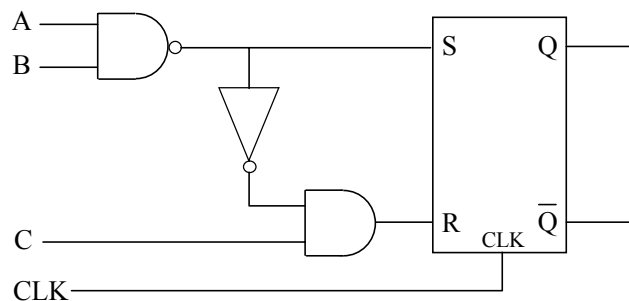
- a) un bistabil de tip SR;
- b) un bistabil de tip D;
- c) un bistabil de tip JK;

Cum arată cele 3 circuite dacă dorim ca bistabilul rezultat să-și schimbe starea pe fiecare front activ al ceasului?

6.3 Porțile ȘI-NU cu două intrări din schema elementului de memorie $\overline{S}\overline{R}$ se înlocuiesc cu porți SAU-NU cu două intrări. Analizați circuitul rezultat, parcurgând aceiași pași ca la analiza elementului de memorie $\overline{S}\overline{R}$ și comparați funcționarea celor două circuite. Înlocuiți apoi numai una dintre cele două porți ȘI-NU ale elementului de memorie $\overline{S}\overline{R}$ cu o poartă SAU-NU, și repetați analiza noului circuit.

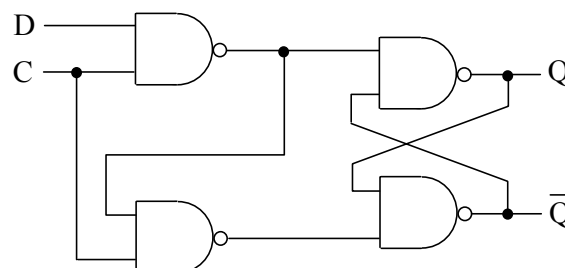
6.4 Să se facă analiza circuitului din figura de mai jos.

- a) Scrieți ecuația de stare a circuitului.
- b) Construiți tabelul tranzițiilor.



([Mowle, 1976])

6.5 Comparați circuitul din figura de mai jos cu latch-ul de tip D din figura 6.12. Demonstrați că funcționarea celor două circuite este identică. Din ce motiv structura din figura de mai jos este cea folosită în unele circuite integrate care conțin latch-uri de tip D?



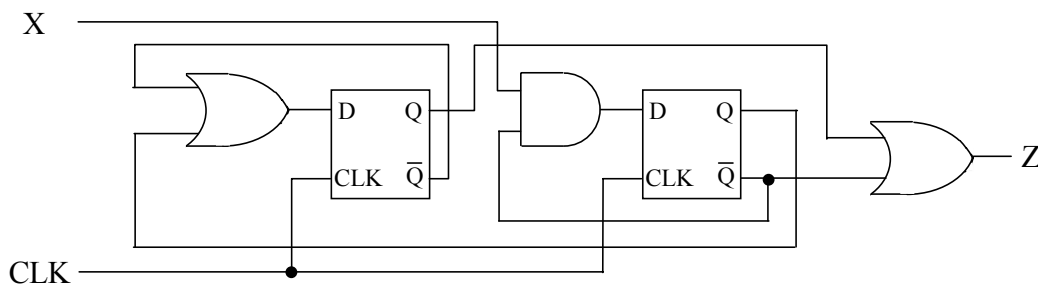
([Wakerly, 1990])

- 6.6** Dacă adăugăm unui bistabil SR două porți ȘI care implementează funcțiile $S = X \cdot \bar{V}$ și $R = Y \cdot \bar{W}$, atunci putem defini un nou bistabil $XYVW$, caracterizat printr-o oarecare universalitate în funcționare. Stabiliți ecuația de stare și tabelul tranzițiilor pentru acest tip de bistabil. Care sunt valorile logice atribuite intrărilor X , Y , V și W pentru a obține un bistabil de tip JK? Dar unul de tip T, sau D?
- ([Mange, 1986])
- 6.7** Stabiliți ecuația de stare pentru un bistabil VW care are tabelul tranzițiilor din figura de mai jos. Care este circuitul combinațional necesar pentru a transforma un bistabil SR în bistabil VW?

V	W	Q^+
0	0	Q
0	1	0
1	0	1
1	1	Q

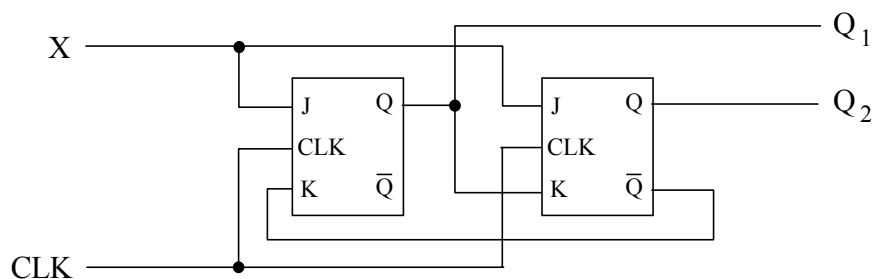
([Mange, 1986])

- 6.8** Analizați circuitul din figura de mai jos. Scrieți ecuațiile circuitului și construiți tabelul tranzițiilor și al ieșirilor.



([Wakerly, 1990])

- 6.9** Analizați circuitul din figura de mai jos. Scrieți ecuațiile circuitului și construiți tabelul tranzițiilor. Desenați diagrama stărilor și formele de undă în timp pentru 10 perioade de ceas, presupunând că sistemul pornește din starea 00, iar intrarea X este tot timpul la valoarea logică 1.

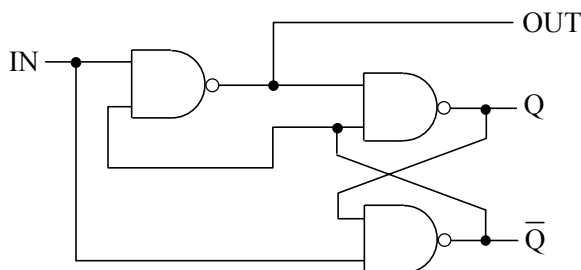


([Wakerly, 1990])

- 6.10** Calculați MTBF pentru circuitul de sincronizare din figura 6.27, dacă frecvența ceasului este 25MHz, iar rata de modificare a intrării este de 1 MHz. Timpul de setup al bistabilelor D este de 5 ns, iar cel de hold este nul.

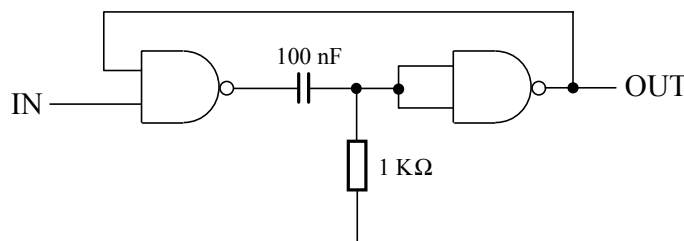
([Wakerly, 1990])

- 6.11** Să se determine durata impulsului la ieșirea OUT a circuitului de derivare din figura de mai jos. Se cunosc următoarele date de catalog pentru porțile din montaj: $t_{pHL} = 10ns$, $t_{pLH} = 9ns$.



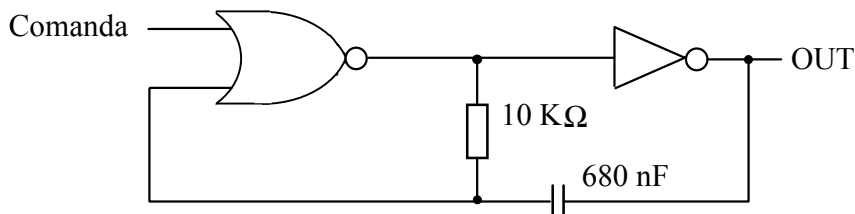
([Mureșan, 1996])

- 6.12** Explicați funcționarea circuitului din figura de mai jos, desenați formele de undă și calculați durata stării cvasistabile, știind că porțile folosite sunt porți TTL standard.



([Mureșan, 1996])

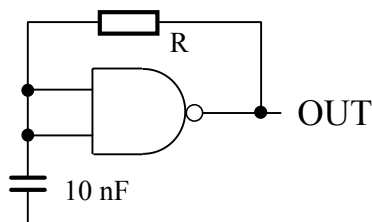
- 6.13** Explicați funcționarea circuitului din figura de mai jos, desenați formele de undă și calculați frecvența de oscilație, știind că porțile folosite sunt porți CMOS.



- 6.14** Să se reprezinte diagramele de timp pentru astabilul din figură. Să se calculeze frecvența și factorul de umplere pentru semnalul generat, dacă:

a) se utilizează o poartă ȘI-NU cu două intrări cu trigger Schmitt din familia TTL standard. Se cunosc: $V_{OH} = 3,6V$, $V_{OL} = 0,2V$, $I_{IL} \cdot R = 0,2V$, $V_{p1} = 1,1V$, $V_{p2} = 1,9V$, $R = 1K\Omega$;

b) se utilizează o poartă ȘI-NU cu trigger Schmitt din familia CMOS. Se cunosc: $V_{DD} = 5V$, $V_{p1} = 2,3V$, $V_{p2} = 3,3V$, $I_{IL} = I_{IH} = 0$, $R = 10K\Omega$.



([Mureșan, 1996])