

3 STRUCTURI DE CIRCUITE NUMERICE

3.1 Structura TTL standard

Familia circuitelor integrate **TTL (Transistor Transistor Logic)** a fost creată de Texas Instruments și standardizată în anul 1964. Circuitele integrate **SN (Semiconductor Network)** din **seria 54** au fost destinate inițial aplicațiilor militare (având funcționare garantată în gama de temperatură $-55^{\circ}\text{C} \dots +125^{\circ}\text{C}$ și tensiune de alimentare cuprinsă între $+4,5\text{V} \dots +5,5\text{V}$). Ulterior a apărut **seria 74**, versiunea industrială cu preț de cost redus (având funcționare garantată în gama de temperatură $0^{\circ}\text{C} \dots +70^{\circ}\text{C}$ și tensiune de alimentare cuprinsă între $+4,75\text{V} \dots +5,25\text{V}$).

Familia TTL a cunoscut în timp permanente îmbunătățiri tehnologice. Până în anul 1970 au apărut cele patru grupe de bază : standard (**SN54/74**), rapidă (**SN54H/74H** – **H**igh Speed), de mică putere (**SN54L/74L** – **L**ow Power), și cu diode Schottky (**SN54S/74S** – **S**chottky TTL). În anul 1975 apare o nouă grupă care face cel mai bun compromis între consum și timpul de propagare : (**SN54LS/74LS** – **L**ow Power-**S**chottky). După anul 1980 au apărut alte grupe avansate tehnologic : (**SN54AS/74AS** – **A**dvanced **S**chottky), (**SN54ALS/74ALS** – **A**dvanced **L**ow-Power **S**chottky) și (**SN54F/74F** – **F**ast). Toate aceste grupe sunt compatibile între ele, iar circuitele integrate se pot interconecta direct.

Pe parcursul acestei evoluții de aproape două decenii a structurii TTL standard, timpul de propagare pe poartă s-a micșorat de aproape 10 ori, apropiindu-se de valoarea de 1ns, iar consumul mediu de putere pe poartă a variat între 1 mW și 20 mW. Această gamă largă de valori ale raportului viteză/consum permite proiectantului să optimizeze toate porțiunile unui sistem numeric în concordanță cu specificațiile impuse.

Perfecționarea tehnologiei planar-epitaxiale a impus familia TTL ca "variantă de structuri logice cu tranzistoare bipolare cu cea mai largă utilizare în realizarea sistemelor numerice, indiferent de complexitatea lor". ([Cupcea, 1999]).

Schema electrică a porții ȘI-NU cu două intrări în tehnologie TTL standard este reprezentată în figura 3.1. Tensiunea nominală de alimentare este $V_{CC} = +5\text{V}$, iar tranzistoarele au parametri tipici tranzistoarelor de comutație integrate.

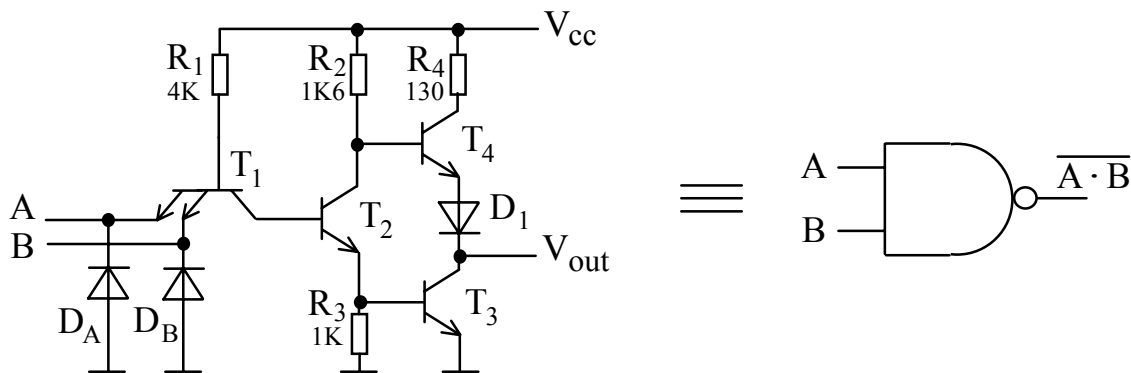


Fig. 3.1 Structura porții ȘI-NU cu două intrări în tehnologie TTL standard

Dacă ambele intrări ale circuitului sunt la 1 logic (tensiune ridicată), cele două joncțiuni bază-emitor ale tranzistorului multiemitor T_1 sunt blocate, iar joncțiunea bază-colector este deschisă, asigurând curentul de bază pentru deschiderea tranzistorului T_2 . Curentul prin T_2 asigură intrarea tranzistorului T_3 în saturație și blocarea tranzistorului T_4 , prin scăderea potențialului bazei acestuia față de emitor. Dioda D_1 are rolul de a grăbi blocarea lui T_4 înainte de saturația lui T_3 . La ieșirea V_{out} se obține o tensiune scăzută, notată cu V_{OL} (Voltage Output Low), și egală cu tensiunea de saturație a lui T_3 :

$$V_{OL} = V_{CEsat}(T_3) \approx 0,1V$$

Dacă cel puțin una dintre intrări este la 0 logic (tensiune apropiată de 0V), joncțiunea bază-emitor corespunzătoare a tranzistorului T_1 este în conducție, fixând potențialul bazei lui T_1 la o valoare de tensiune apropiată de 0,7V, insuficientă pentru deschiderea tranzistoarelor T_2 și T_3 . Repetorul pe emitor realizat cu tranzistorul T_4 , funcționând în zona liniară, va asigura la ieșire o tensiune ridicată, corespunzătoare nivelului logic 1. În lipsa sarcinii la ieșire, tranzistorul T_4 și dioda D_1 sunt la limita de conducție, iar tensiunea de ieșire V_{OH} (Voltage Output High) se poate determina aproximativ cu relația:

$$V_{OH} = V_{CC} - V_{BE(T_4)} - V_{F(D_1)} \approx 5 - 0,6 - 0,6 = 3,8V$$

Tranzistorul T_1 este întotdeauna saturat pentru că joncțiunea bază-colector este polarizată direct. Conexiunea permite astfel evitarea scoaterii tranzistorului din saturație și are ca efect reducerea substanțială a timpului de propagare. Diodele D_A și D_B nu au un rol direct în funcționarea circuitului ca poartă logică ȘI-NU. Ele intră în conducție atunci când apar tensiuni negative pe intrări, datorate în general reflexiilor care apar pe liniile lungi de la intrări din cauza frecvențelor mari de comutare și a neadaptării impedanțelor.

Dacă tensiunea aplicată pe cele două intrări ale porții (sau numai pe una dintre ele, cealaltă fiind la nivel logic 1 sau pur și simplu în aer) depășește 0,6V, se deschide tranzistorul T_2 , dar T_3 rămâne blocat, potențialul bazei fiind sub valoarea de 0,6V. Caracteristica de transfer are o pantă căzătoare (porțiunea *a-b* din figura 3.2), determinată de raportul rezistențelor R_2 și R_3 (aproximativ -1,6), ca pentru un tranzistor cu sarcină în colector și în emitor, având în vedere funcția de transfer liniară și cu panta unitară a repetorului format din T_4 și D_1 .

La depășirea tensiunii de 1,2V pe intrări, intră în conducție și tranzistorul T_3 , amplificarea de tensiune a tranzistorului T_2 crește foarte mult datorită micșorării rezistenței

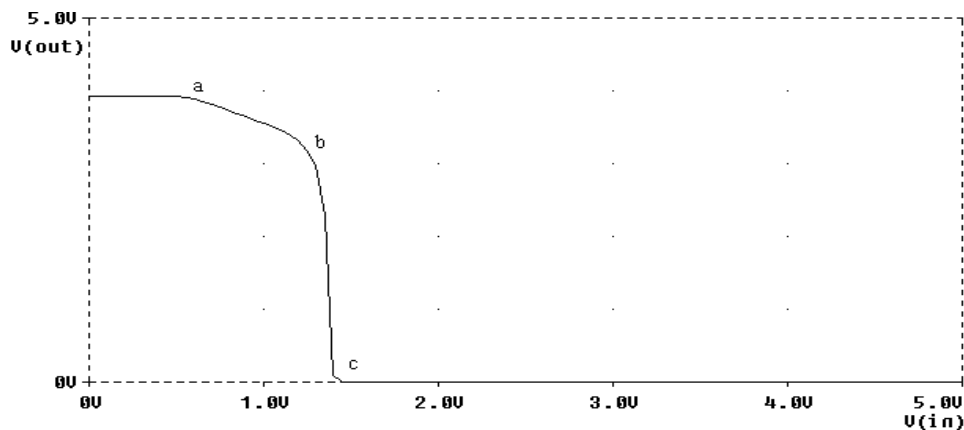


Fig. 3.2 Caracteristica de transfer a inversorului TTL standard

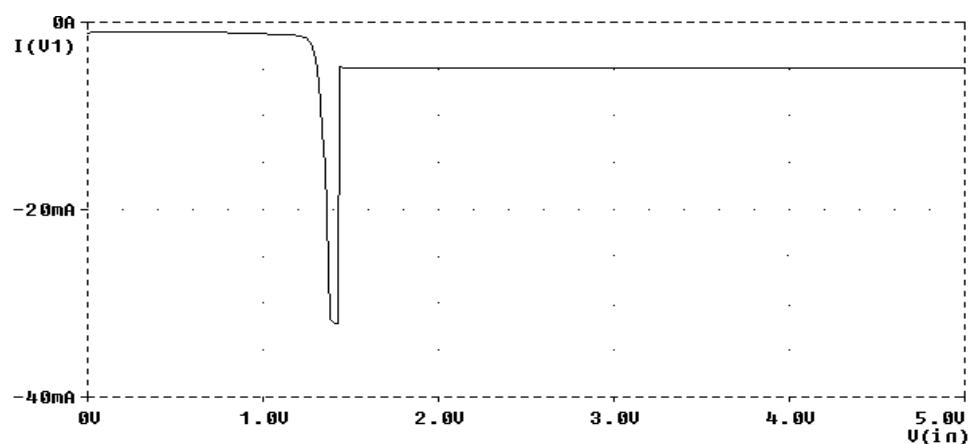


Fig. 3.3 Consumul de curent de la sursa de alimentare

echivalente din emitorul său odată cu deschiderea tranzistorului T_3 , iar tensiunea la ieșire scade rapid (porțiunea $b-c$ a caracteristicii din figura 3.2).

Caracteristica din figura 3.3 indică consumul de curent de la sursa de alimentare în toată gama de variație a tensiunii de intrare. Se poate observa că tranziția pe porțiunea $b-c$ a caracteristicii din figura 3.2 determină un vârf de curent, iar consumul este mai mare atunci când ieșirea porții este în starea logică 0.

Parametrii circuitului sunt garantați prin standard, dacă se respectă condițiile impuse asupra variației tensiunii de alimentare, temperaturii, sau sarcinii de la ieșirea porții logice. Numărul de intrări TTL care se pot conecta la ieșirea unei porți se numește *fan-out* (evantai de ieșire) și este un parametru impus pentru fiecare grupă TTL. Grupa TTL standard are un *fan-out* de 10.

În aceste condiții se definesc nivelele de tensiune la ieșirea și la intrarea porții TTL, nivele care sunt valabile pentru toate grupele TTL :

- V_{IL} , nivelul de tensiune necesar pentru a avea 0 logic la intrare. Această valoare trebuie să fie mai mică decât o valoare maximă garantată: $V_{IL} \leq V_{ILMAX} = 0,8 \text{ V}$.

- V_{IH} , nivelul de tensiune necesar pentru a avea 1 logic la intrare. Această valoare trebuie să fie mai mare decât o valoare minimă garantată: $V_{IH} \geq V_{IHMIN} = 2 \text{ V}$.

- V_{OL} , nivelul de tensiune de la ieșire în starea 0 logic. Această valoare trebuie să fie mai mică decât o valoare maximă garantată: $V_{OL} \leq V_{OLMAX} = 0,4 \text{ V}$.

$-V_{OH}$, nivelul de tensiune de la ieșire în starea 1 logic. Această valoare trebuie să fie mai mare decât o valoare minimă garantată: $V_{OH} \geq V_{OHMIN} = 2,4 \text{ V}$.

Se poate imediat observa că tensiunea de ieșire maximă garantată pentru 0 logic este cu 0,4V mai mică decât tensiunea de intrare maximă garantată pentru 0 logic. Diferența constituie **marginea de zgomot în curent continuu garantată pentru 0 logic**, M_L :

$$M_L = V_{ILMAX} - V_{OLMAX} = 0,8 - 0,4 = 0,4V$$

Asemănător se definește și **marginea de zgomot în curent continuu garantată pentru 1 logic**, M_H , ca diferența dintre tensiunea de ieșire minimă garantată pentru 1 logic și tensiunea minimă de intrare garantată pentru 1 logic:

$$M_H = V_{OHMIN} - V_{IHMIN} = 2,4 - 2 = 0,4V$$

Figura 3.5 ilustrează variația curentului de intrare I_{IN} cu tensiunea de intrare V_{IN} pentru tensiunea de alimentare $V_{CC} = +5V$ și temperatura de 25°C . Orice dispozitiv care comandă o poartă TTL trebuie să poată absorbi sau genera curent. Convențional, curentul care intră în poarta logică este considerat pozitiv, iar curentul care iese este considerat negativ. Curentul maxim garantat pentru 0 logic la intrare este $I_{ILMAX} = -1,6\text{mA}$, pentru tensiunea de intrare de 0,4V, iar curentul maxim garantat pentru 1 logic la intrare este $I_{IHMAX} = +40\mu\text{A}$, pentru tensiunea de intrare de 2,4V.

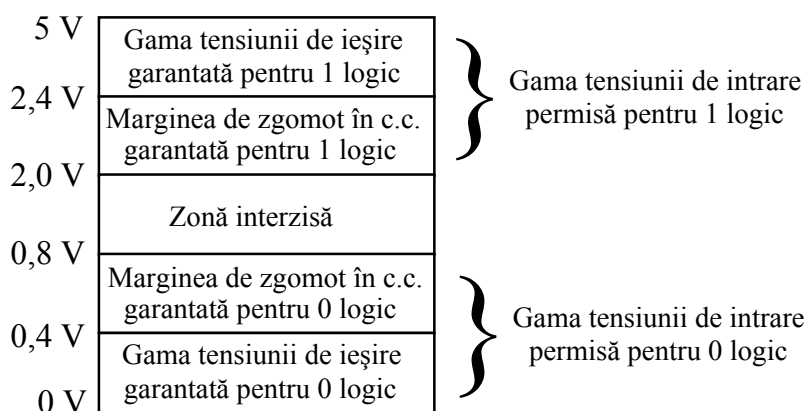


Fig. 3.4 Definierea marginii de zgomot în curent continuu

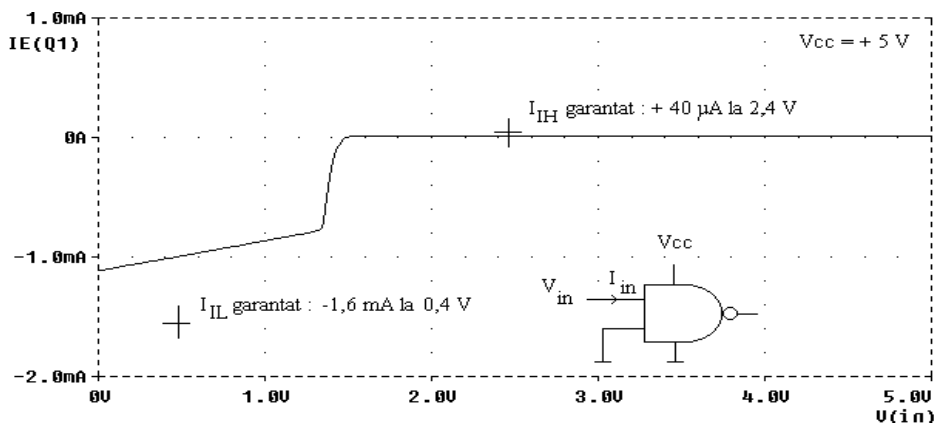


Fig. 3.5 Caracteristica de intrare a porții TTL standard

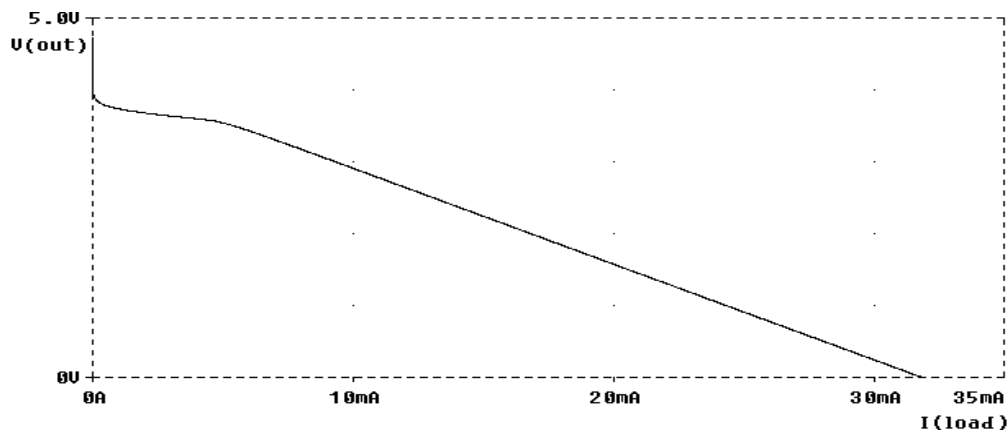


Fig. 3.6 Caracteristica de ieșire pentru 1 logic

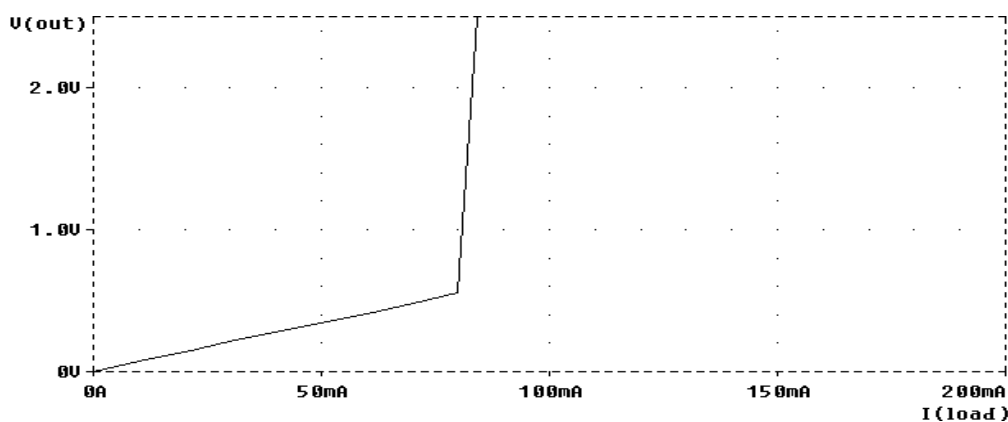


Fig. 3.7 Caracteristica de ieșire pentru 0 logic

Etajul de ieșire este proiectat pentru un *fan-out* de 10, deci tranzistorul T_3 poate absorbi un curent de 10 ori mai mare decât I_{ILMAX} , adică $16mA$, fără a depăși valoarea de $0,4V$ pentru tensiunea de la ieșirea porții. Similar, tranzistorul T_4 poate debita un curent de 10 ori mai mare decât I_{IHMAX} , adică $400\mu A$, fără ca tensiunea la ieșire să scadă sub $2,4V$. Ce se întâmplă însă dacă sarcina la ieșire se micșorează foarte mult, în afara valorilor precizate de standard? Caracteristica din figura 3.6 ne arată că valoarea de 1 logic se deteriorează odată cu creșterea curentului de sarcină, iar în cazul unui scurtcircuit la ieșire, curentul absorbit din poartă este limitat la circa $32mA$, valoare care nu pune în pericol integritatea structurii logice.

Rezistența R_4 asigură limitarea curentului de scurtcircuit la ieșire, atunci când ieșirea este în 1 logic. Dacă ieșirea este în 0 logic, micșorarea rezistenței de sarcină între ieșire și tensiunea de alimentare are ca efect creșterea curentului prin tranzistorul T_3 , concomitent cu creșterea tensiunii V_{OL} . Depășirea valorii de $16mA$ pentru curentul de ieșire ar putea duce la depășirea tensiunii $V_{OLMAX} = 0,4V$. După cum se observă și pe caracteristica din figura 3.7, un scurtcircuit, chiar accidental, de la ieșire la V_{CC} va distruge tranzistorul T_3 , pentru că de data aceasta nu mai există nici o rezistență care să limiteze curentul prin tranzistor.

Puterea medie disipată pe poartă este de circa $10mW$ la frecvențe joase și poate fi de 3-4 ori mai mare la frecvențe de peste $10MHz$, unde apar și componente ale puterii disipate determinate de elementele reactive din circuit.

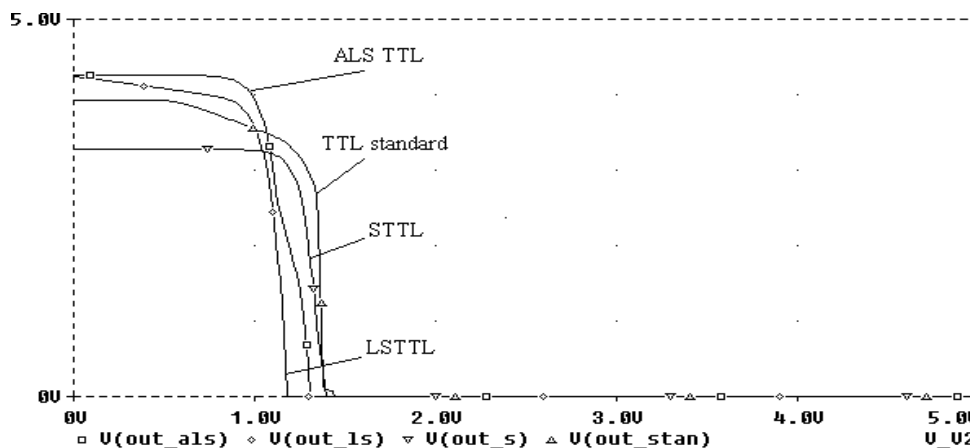


Fig. 3.8 Comparație între caracteristicile de transfer ale diverselor grupe TTL

Deși lăsarea unei intrări TTL în aer este interpretată de circuit ca 1 logic, nu se recomandă acest lucru, deoarece un zgomot extern, cum ar fi cel produs de comutarea altor porți din circuit, poate produce o funcționare defectuoasă. Pentru aplicarea nivelului logic 0 pe o intrare se conectează aceasta la masă, iar pentru aplicarea nivelului logic 1 se conectează la V_{CC} printr-o rezistență externă de 1...5K Ω .

Caracteristicile din figura 3.8 indică compatibilitatea diverselor grupe TTL. Ele pot fi interconectate direct, dacă avem grijă ca frecvența cu care comută porțile din circuit să fie suportată de cele mai lente porți din structură.

3.2 Structuri TTL specifice

În unele aplicații specifice se utilizează structuri TTL care au intrări sau ieșiri modificate față de structura TTL standard. Vom prezenta aici porțile care au ieșiri cu **colectorul în gol**, porțile cu ieșiri **în trei stări** și porțile cu intrări de tip **trigger Schmitt**.

Poarta ȘI-NU cu două intrări, cu **colector în gol**, este reprezentată în figura 3.9. Lipsa componentelor R_4 , T_4 , și D_1 din structura porții TTL standard determină introducerea unei rezistențe externe R_C , care asigură polarizarea tranzistorului final T_3 . Valoarea acestei rezistențe, numită rezistență de *pull-up* (tragere în sus), este de cel puțin câteva sute de ohmi și reprezintă rezistența de ieșire a porții logice. În consecință, tranzițiile din 0 în 1 logic la ieșire vor fi mai lente decât pentru poarta TTL standard.

Capătul rezistenței R_C se poate conecta la o tensiune mai mare de +5V, tensiune care poate ajunge la unele circuite integrate la valoarea de +30V. În acest fel se poate realiza o deplasare a nivelului logic de 1 la ieșire, sau se pot comanda diverse sarcini (LED-uri, bobine de releu etc.).

Dacă ieșirile unor porți cu colector în gol se conectează împreună, folosind o singură rezistență de pull-up, atunci se formează conexiunea "**ȘI cablat**". Este vorba de funcția binară ȘI, deoarece ieșirea comună este în 1 logic dacă ieșirea fiecărei porți cu colector în gol este în 1 logic, iar dacă cel puțin una din porți are ieșirea în 0 logic, atunci ieșirea comună este în 0 logic. Ieșirile a două porți TTL standard nu se pot conecta împreună pentru că este posibilă apariția unui conflict logic dacă nivelele logice ale celor două ieșiri diferă.

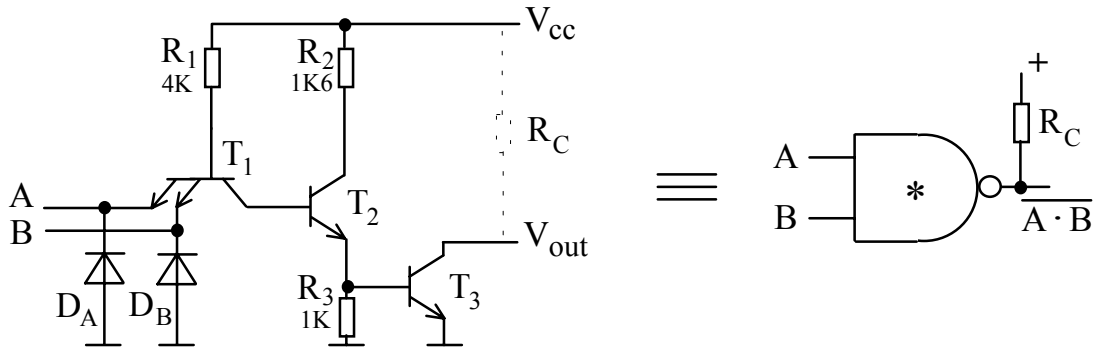


Fig. 3.9 Structura porții ȘI-NU cu colector în gol

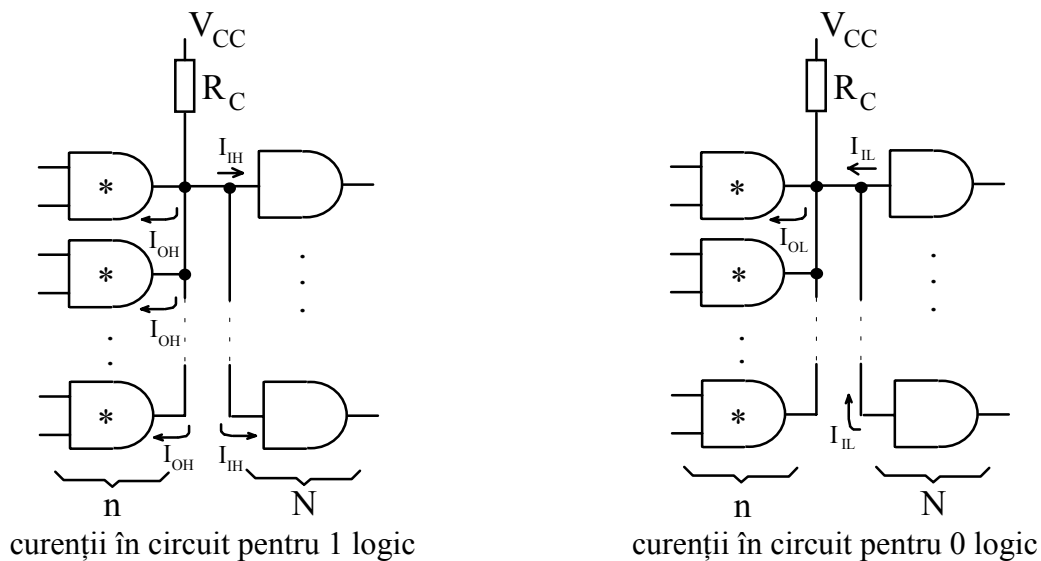
Să vedem cum se dimensionează rezistența de colector R_C pentru cazul în care n porți cu colectorul în gol în conexiune "ȘI cablat" comandă N intrări TTL standard, după cum se poate observa în figura 3.10.

În starea logică 1, prin rezistența R_C circulă atât curentul rezidual al fiecărui tranzistor de ieșire blocat din cele n porți de comandă, notat cu $I_{OH\max}$, cât și curentul de intrare pentru fiecare din intrările celor N porți comandate, notat cu $I_{IH\max}$. Din condiția ca tensiunea de ieșire să nu scadă sub valoarea $V_{OH\min}$, rezultă o valoare maximă pentru R_C .

$$V_{OH} = V_{CC} - (n \cdot I_{OH\max} + N \cdot I_{IH\max}) \cdot R_C \geq V_{OH\min}$$

$$R_{C\max} = \frac{V_{CC} - V_{OH\min}}{n \cdot I_{OH\max} + N \cdot I_{IH\max}}$$

În starea logică 0, în cazul cel mai defavorabil, un singur circuit de comandă este în starea 0, celelalte fiind în starea 1 logic. Această poartă cu colectorul în gol asigură atât curenții de intrare ai celor N porți comandate, cât și curentul prin rezistența R_C . Curentul maxim acceptat de tranzistorul T_3 de la ieșire este $I_{OL\max}$, pentru a nu se depăși tensiunea $V_{OL\max}$ din nodul analizat.

Fig. 3.10 Calculul rezistenței R_C

$$V_{OL} = V_{CC} - (I_{OL\max} - N \cdot I_{IL\max}) \cdot R_C \leq V_{OL\max}$$

$$R_{C\min} = \frac{V_{CC} - V_{OL\max}}{I_{OL\max} - N \cdot I_{IL\max}}$$

Se adoptă pentru rezistența R_C o valoare cuprinsă între cele două limite calculate. Dacă totuși numitorul lui $R_{C\min}$ este zero, atunci se recomandă alegerea unei rezistențe de $4\text{ K}\Omega$, care satisface condiția de 1 logic și limitează tensiunea de ieșire în 0 logic la mai puțin de $0,43\text{V}$ ([Morris,1974]).

Inversorul cu trei stări (Three-state) a fost conceput pentru cuplarea mai multor ieșiri de porți logice la o singură linie de semnale logice (magistrală). Poarta care furnizează la un moment dat informația pe linie este selectată cu ajutorul unui semnal suplimentar de intrare. Schema inversorului cu 3 stări este dată în figura 3.11.

Dacă intrarea de selecție $\bar{E} = 0$, atunci dioda D_2 este blocată și structura se comportă ca un inversor, conform ecuației boolene $f = \bar{A}$. Dacă intrarea $\bar{E} = 1$, atunci dioda D_2 este în conducție și coboară mult potențialul bazei lui T_4 . Potențialul bazei lui T_1 este și el scăzut și în consecință tranzistoarele T_2 , T_3 și T_4 sunt blocate, iar ieșirea este izolată față de V_{CC} și masă, adică este în starea de **înalță impedanță** (High Z). Semnalul $\bar{E}$ (Enable) este activ pe 0 logic (permite accesul datelor prin poartă dacă este în 0 logic; bara amplasată deasupra literei E sugerează acest fapt).

Figura 3.12 ilustrează simbolul grafic pentru o **poartă ȘI-NU cu histerezis**, conectată ca inversor, precum și caracteristica ei de transfer. Se observă că există două tensiuni prag de intrare diferite la care se produce comutarea tensiunii la ieșire de la un nivel logic la altul.

Pentru o tensiune mică de intrare, tensiunea de ieșire $V(\text{out})$ este la nivel logic 1, o valoare tipică de circa $3,4\text{V}$. Dacă tensiunea la intrare crește, ieșirea va comuta în 0 logic numai la atingerea pragului V_{p2} , care are o valoare tipică de circa $1,7\text{V}$. Revenirea ieșirii în 1 logic nu se va face decât dacă tensiunea de intrare scade până la atingerea pragului V_{p1} , care are o valoare tipică de circa $0,9\text{V}$. Diferența dintre cele două praguri este numită **histerezis**, iar circuitul care generează această caracteristică se numește **trigger Schmitt**. Datorită imunității sporite la zgomot, aceste circuite se utilizează pentru transformarea unor semnale cu fronturi lente și zgomotoase în semnale numerice.

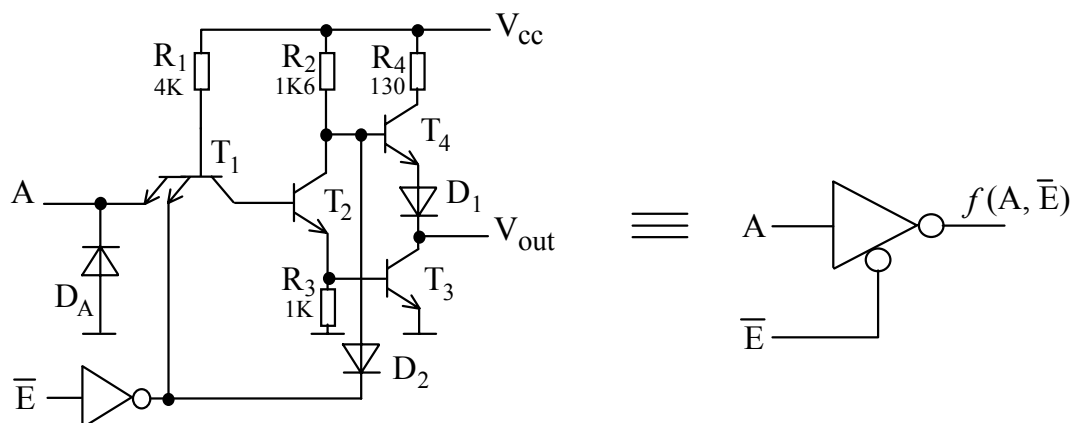


Fig. 3.11 Structura inversorului TTL cu trei stări

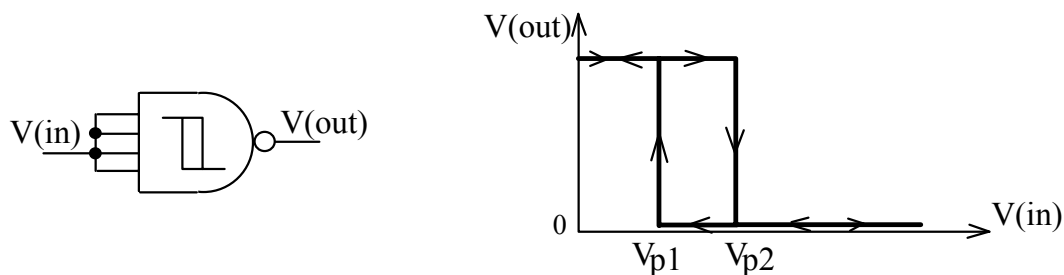


Fig. 3.12 Caracteristica de transfer cu histerezis

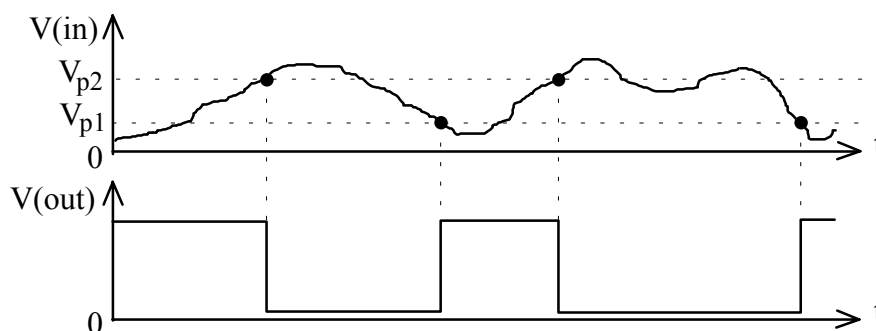


Fig. 3.13 Comutarea inversorului cu histerezis

Exemplul din figura 3.13 arată cum un semnal de intrare analogic este transformat într-un semnal numeric, folosind un inversor cu histerezis. Este evident că variația semnalului de intrare trebuie să depășească cele două praguri V_{p1} și V_{p2} .

3.3 Alte grupe ale familiei logice TTL

Pornind de la structura porții standard s-au dezvoltat mai multe grupe ale familiei logice TTL în scopul accentuării unora dintre performanțele circuitelor standard.

Poarta TTL **de mică putere** (L) a apărut din necesitatea reducerii consumului de la sursa de alimentare. Este păstrată structura porții standard, dar valorile rezistențelor din circuit sunt mărite de 4 până la 10 ori (funcție de producător). Dezavantajul constă în creșterea timpului mediu de propagare pe poartă de 2-3 ori.

Poarta TTL **de mare viteză** (H) prezintă unele modificări de structură: înlocuirea ansamblului $T_4 - D_1$ cu un tranzistor compus de tip Darlington, care determină o capacitate de încărcare statică mai mare și o rezistență de ieșire mai mică, și înlocuirea rezistenței R_3 cu o sarcină activă cu tranzistor, care asigură evacuarea rapidă a sarcinii stocate în baza tranzistorului T_3 . Valorile rezistențelor din circuit sunt ceva mai mici decât la structura standard, timpul de propagare fiind de aproape 2 ori mai mic.

Poarta TTL **Schottky** (S) are structura porților de mare viteză, dar se elimină timpii de stocare ai tranzistoarelor prin utilizarea unor diode cu barieră de suprafață cu o cădere de tensiune directă de circa 0,25V și fără sarcini de purtători minoritari (diode Schottky). Timpul de propagare este de circa 2 ori mai mic decât cel al porților de mare viteză.

Poarta TTL **Schottky de mică putere** (LS) este o structură obținută prin aplicarea tehnicii de evitare a intrării în saturație a tranzistoarelor cu diode Schottky și mărirea de

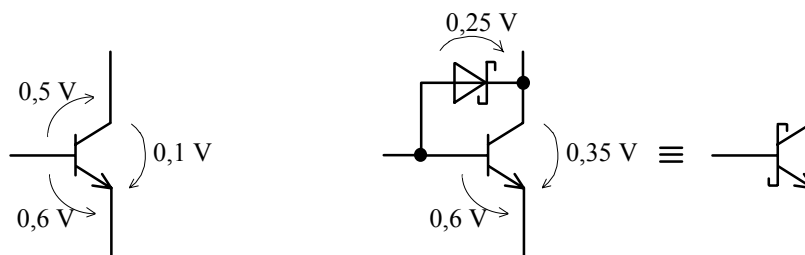


Fig. 3.14 Tranzistor saturat și tranzistor Schottky, care nu se mai poate satura

circa 5 ori a valorilor rezistențelor din circuit. Schema electrică a circuitului este dată în figura 3.15. Tranzistorul T_1 a fost înlocuit cu un circuit cu diode care asigură un timp de comutare mai bun și o tensiune de străpungere ridicată. Dioda D_3 formează o cale de evacuare a sarcinii din baza lui T_4 prin T_2 , ceea ce contribuie la blocarea mai rapidă a tranzistorului T_4 și deci la micșorarea lui t_{pHL} . Dioda D_4 introduce un efect asemănător pentru tranzistorul T_3 și contribuie la micșorarea lui t_{pLH} . Timpul de propagare este comparabil cu cel al porții standard, dar consumul este de circa 5 ori mai mic.

Poarta TTL **Schottky de mică putere avansată** tehnologic (ALS) a fost obținută prin micșorarea dimensiunilor tranzistoarelor, care implică micșorarea capacităților parazite pe intrări. Se observă pe schema circuitului din figura 3.15 că rezistențele au valori duble față de grupa LS, deci puterile disipate sunt mai mici. Introducerea lui T_1 ca repetor pe emitor determină o creștere a potențialului bazei lui T_1 față de potențialul bazei lui T_2 . Pentru ca tensiunile pe intrările A și B să rămână aceleași, potențialul bazei lui T_1 trebuie deplasat în jos. Această deplasare se face prin conectarea tranzistoarelor de tip *pnp* T_7 și T_8 ca repetitoare pe emitor în raport cu cele două intrări A și B. Diodele D_6 și D_7 măresc viteza de blocare a tranzistorului T_2 atunci când intrările A și B comută în 0 logic. Poarta ALS este de aproape 3 ori mai rapidă decât varianta LS, și consumă de 2 ori mai puțin.

Poarta TTL **Schottky avansată** tehnologic (AS) este cea mai rapidă structură TTL, având un timp de propagare ceva mai mare de 1ns. Este o dezvoltare tehnologică a grupei S, folosind intrările modificate ca la grupa LS, prin înlocuirea tranzistorului T_1 cu diode, având în plus și dioda D_4 conectată ca în figura 3.15. Consumul rămâne comparabil cu cel de la grupa Schottky, fiind de 20 ori mai mare decât la ALS.

Poarta TTL **rapidă** (F) are performanțe intermediare între AS și ALS, având un timp de propagare comparabil cu grupa Schottky, dar un consum de 5 ori mai mic.

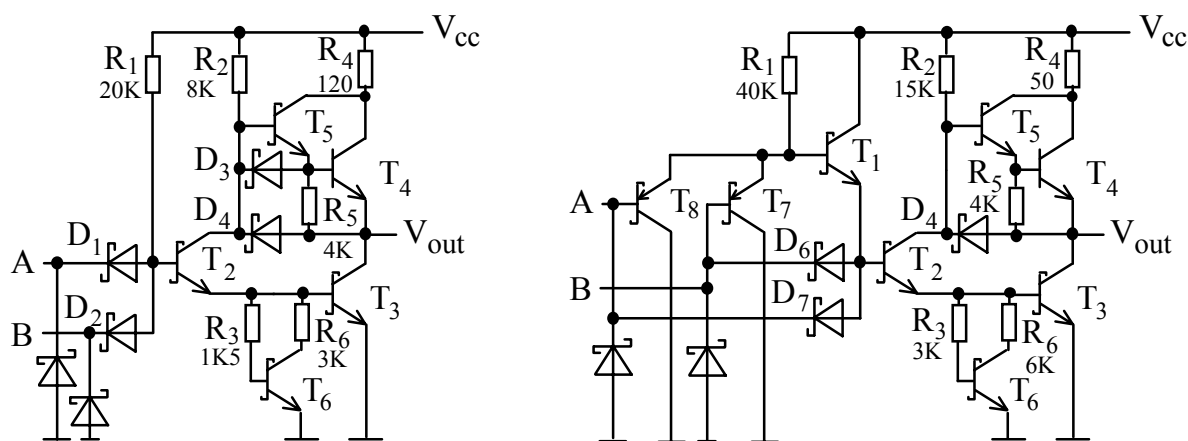


Fig. 3.15 Structura porții TTL Schottky de putere redusă (LS TTL) și versiunea ei avansată tehnologic (ALS TTL)

3.4 Structura NMOS

Structurile numerice MOS se mai numesc **structuri unipolare**, deoarece folosesc **tranzistoare MOS (Metal-Oxid-Semiconductor)**. Dacă toate tranzistoarele folosite sunt cu **canal indus de tip n** , atunci structura realizată este o structură NMOS. Tranzistoarele din structură sunt fie blocate (au rezistență foarte mare între drenă și sursă), fie în conducție (au rezistență foarte mică între drenă și sursă). Ele pot fi considerate într-o foarte bună aproximație ca simple comutatoare, care sunt fie deschise, fie închise. Nu se folosesc tranzistoare MOS cu canal inițial, deoarece tranzistorul trebuie să rămână blocat în lipsa unei tensiuni pe poartă.

O primă posibilitate de realizare a unui inversor NMOS este prezentată în figura 3.16. Structura prezintă însă un interes limitat pentru că valorile mari ale rezistenței R_D , condiție necesară pentru o funcționare corectă a circuitului, nu permit o integrare monolitică acceptabilă datorită suprafeței mari ocupate pe cipul de siliciu.

Tensiunea de intrare este tensiunea poartă-sursă a tranzistorului MOS cu canal indus de tip n , V_{GS} (gate-source), tensiunea de ieșire este tensiunea drenă-sursă, V_{DS} (drain-source), iar curentul drenă-sursă este I_{DS} . Tensiunea de prag de la care tranzistorul intră în conducție este V_T (threshold) și are o valoare de circa 1,25V.

Caracteristica de transfer obținută prin simulare PSpice este reprezentată tot în figura 3.16. Pentru o tensiune de intrare mai mică decât tensiunea de prag, tranzistorul este blocat, iar tensiunea la ieșire, măsurată în gol, este egală cu tensiunea de alimentare, adică 1 logic. La depășirea tensiunii de prag se formează canalul de tip n și tranzistorul intră în saturație, rezultând o dependență parabolică a tensiunii de ieșire față de cea de intrare, după cum se vede și în figură. La valori mici ale tensiunii drenă-sursă tranzistorul este în zona de conducție liniară și tensiunea la ieșire este dată de raportul dintre rezistența drenă-sursă a tranzistorului aflat în conducție și rezistența R_D . Cu cât acest raport este mai mic, cu atât tensiunea de 0 logic la ieșire va fi mai apropiată de 0V.

În figura 3.17 s-au reprezentat caracteristicile statice ale tranzistorului MOS cu canal indus de tip n . Trecerea de la zona de conducție liniară la zona de saturație se realizează în momentul în care canalul, care își modifică adâncimea și în funcție de tensiunea drenă-sursă, dispare în apropierea drenei; tensiunea drenă-sursă la care are loc acest fenomen se numește tensiune de saturație și are expresia : $V_{Dsat} = V_{GS} - V_T$.

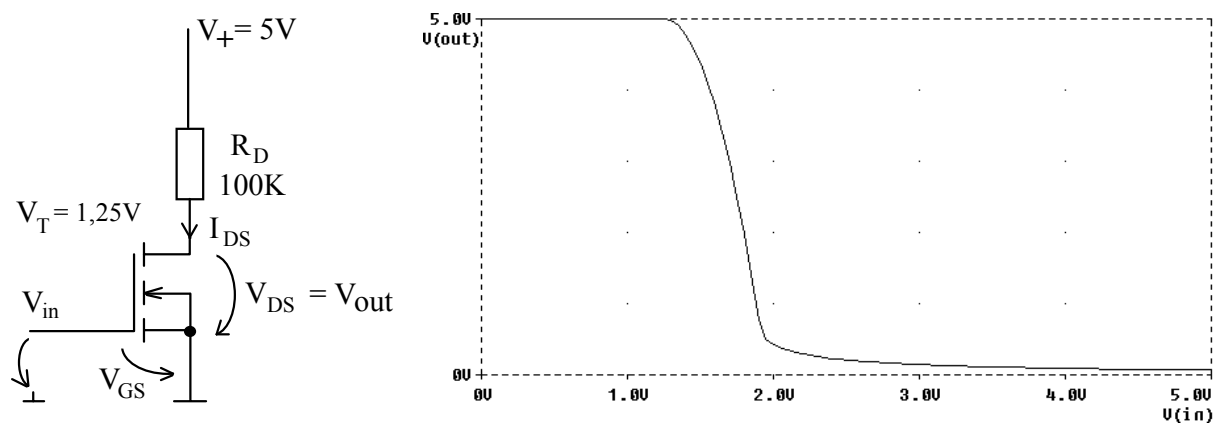


Fig. 3.16 Inversorul NMOS cu sarcină rezistivă și caracteristica de transfer

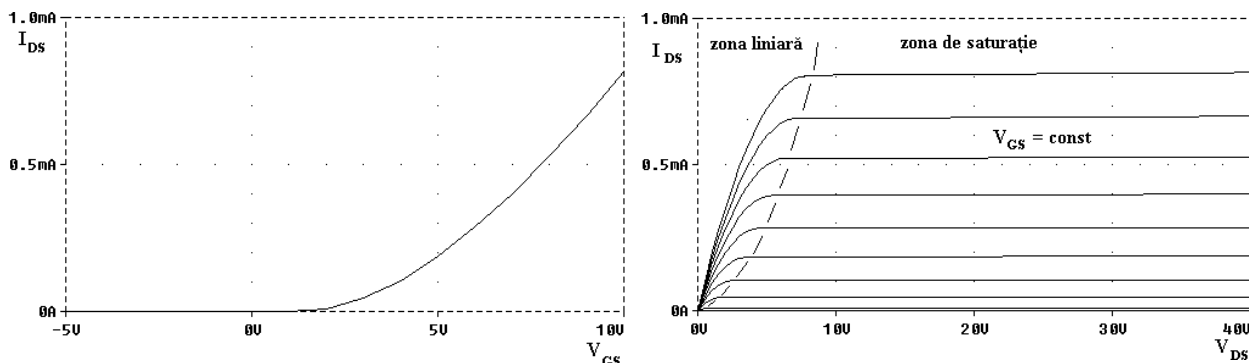


Fig. 3.17 Caracteristica de transfer $i_D(V_{GS})$ și caracteristicile de ieșire $i_D(V_{DS})$

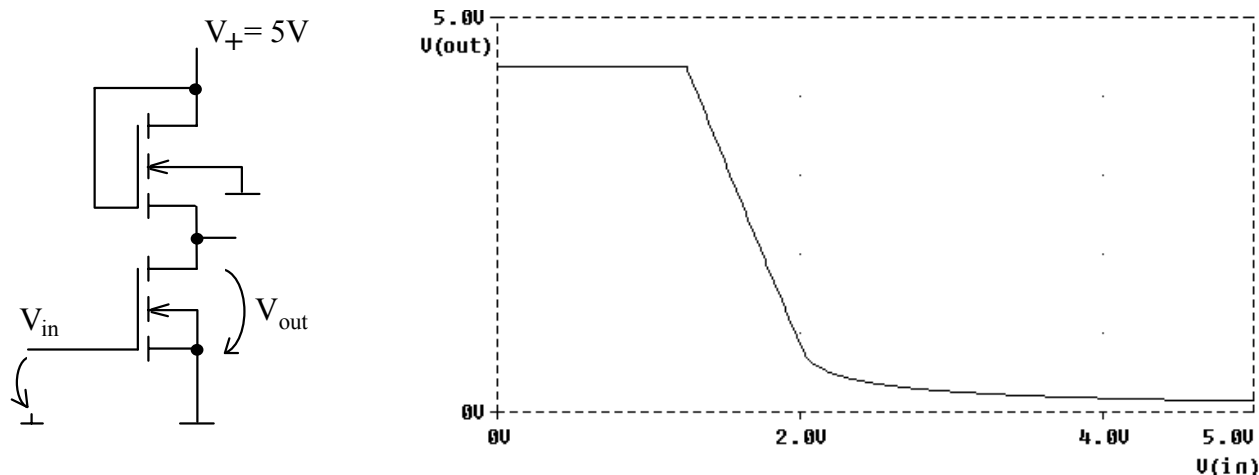


Fig. 3.18 Inversorul NMOS cu sarcină activă și caracteristica de transfer

Inversorul NMOS care are ca sarcină un tranzistor MOS funcționând în zona de saturație este structura de bază folosită la realizarea circuitelor integrate NMOS. Tranzistorul de sarcină lucrează în zona de saturație indiferent de valoarea tensiunii de ieșire. Se poate observa din figura 3.18 că nivelul de 1 logic este acum mai mic decât tensiunea de alimentare. Diferența este tensiunea de prag a tranzistorului de sarcină.

Când tensiunea aplicată pe intrare depășește tensiunea de prag a tranzistorului comutator, acesta se va deschide și va funcționa inițial în zona de saturație, deoarece tensiunea drenă-sursă este mare în comparație cu tensiunea poartă-sursă. Dependența tensiunii de ieșire față de tensiunea de intrare este liniară.

Pentru un nivel de 0 logic cât mai mic și o caracteristică cât mai abruptă trebuie să existe o diferență mare între formele geometrice ale celor două tranzistoare MOS: tranzistorul comutator trebuie să aibă un canal de lungime mică, dar de lățime mare, iar tranzistorul de sarcină exact invers. Această condiție constituie o dificultate tehnologică în realizarea acestor structuri. Dar cel mai mare dezavantaj îl reprezintă consumul permanent de la sursa de alimentare atunci când ieșirea este în 0 logic, consum care poate atinge valori importante la densități mari de integrare pe cip.

Dacă toate tranzistoarele folosite sunt cu **canal indus de tip p**, atunci structura realizată este o **structură PMOS**. Deși structurile PMOS se fabricau mai ușor, s-a renunțat repede la ele datorită timpilor mari de propagare și a dificultăților de interfațare cu alte familii logice.

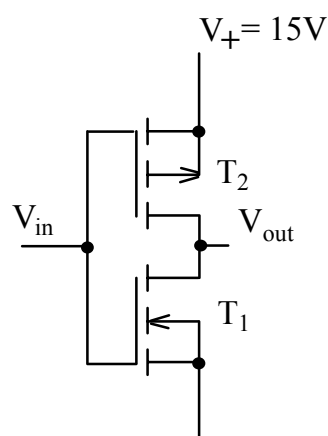
3.5 Structura CMOS

O poartă logică **CMOS** (**C**omplementary-**s**ymmetry **M**OS) are un număr de tranzistoare MOS cu canal indus de tip n egal cu numărul de tranzistoare MOS cu canal indus de tip p . Structura inversorului CMOS și caracteristicile de transfer și de curent sunt reprezentate în figura 3.19.

Cele două tranzistoare ale inversorului CMOS funcționează în contratimp, pentru fiecare din cele două nivele logice unul dintre tranzistoare fiind blocat, iar celălalt în conducție (de fapt, la limita de conducție). Excursia semnalului logic la ieșire este cuprinsă între 0V și nivelul tensiunii de alimentare, curentul consumat de la sursă în regim static este practic nul, pragul de basculare a stării logice este situat la jumătatea tensiunii de alimentare, iar fronturile semnalului de ieșire sunt egale datorită simetriei. Toate acestea fac din structura CMOS o familie logică cu **caracteristici ideale**, ea fiind structura de bază pentru tehnologia actuală de circuite integrate numerice.

Dacă tensiunea aplicată pe intrarea inversorului CMOS este mai mică decât tensiunea de prag a tranzistorului T_1 , adică $V_{in} \leq V_{TN}$, atunci T_1 este blocat și T_2 este în conducție liniară, pentru că tensiunea sursă-drenă a lui T_2 este mică. Ne aflăm în zona **I** a caracteristicii de transfer, iar tensiunea de ieșire este $V_{out} \approx V_+$, deoarece rezistența echivalentă a tranzistorului blocat este cu peste 4 ordine de mărime mai mare decât rezistența echivalentă a tranzistorului aflat în conducție.

Dacă $V_{TN} < V_{in} \leq V_{out} - |V_{TP}|$, atunci tranzistorul T_1 este saturat (tensiunea drenă - sursă este mare), iar T_2 este în conducție liniară (tensiunea sursă-drenă este mică). Ne aflăm



Caracteristici ideale:

- nivele logice
- consum
- prag de basculare
- fronturi

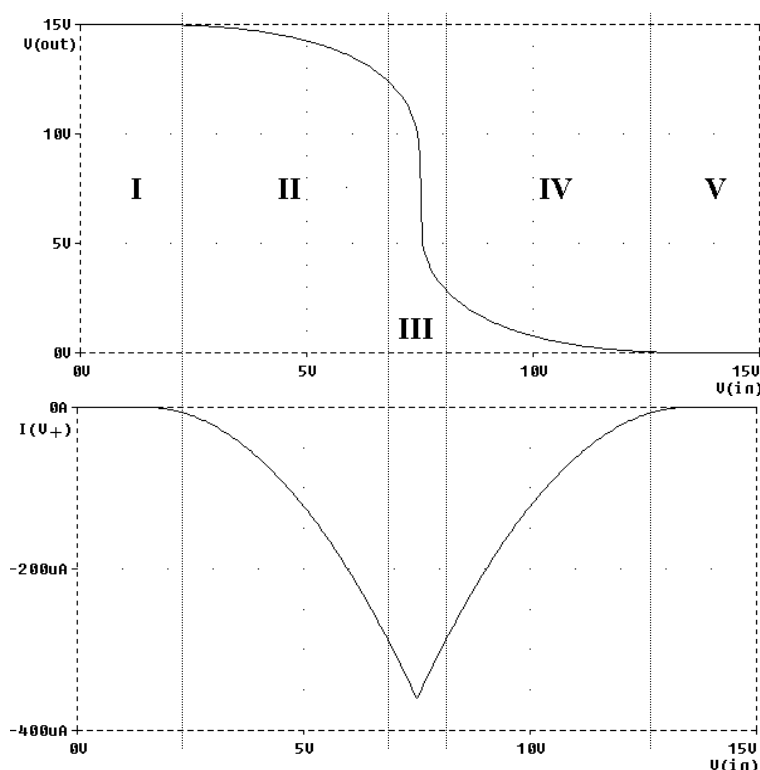


Fig. 3.19 Caracteristicile inversorului CMOS

acum în zona **II** a caracteristicii de transfer. Cum am stabilit valoarea tensiunii de intrare care separă zona **II** de zona **III**? La granița dintre cele două zone tranzistorul T_2 trece din conducție liniară în saturație și $|V_{DS}| = |V_{GS}| - |V_{TP}|$. Din relațiile lui Kirchhoff pentru circuitul din figura 3.19 rezultă: $V_{out} = V_+ - |V_{DS}|$ și $V_+ = V_{in} + |V_{GS}|$. Prin substituție rezultă: $V_{in} = V_{out} - |V_{GS}| + |V_{DS}| = V_{out} - |V_{GS}| + |V_{GS}| - |V_{TP}| = V_{out} - |V_{TP}|$.

Dacă $V_{out} - |V_{TP}| < V_{in} \leq V_{out} + V_{TN}$, atunci ambele tranzistoare sunt saturate (tensiunile drenă-sursă ale lor, luate în modul, sunt mari). Ne aflăm în zona **III**, rezistența de la V_+ la masă este minimă și în consecință consumul de curent de la sursa de alimentare este maxim, după cum se poate observa și pe caracteristica de curent din figura 3.19. Tensiunea de intrare care separă zona **III** de zona **IV** se calculează la fel ca mai sus. Acum tranzistorul T_1 trece din saturație în conducție liniară și $V_{DS} = V_{GS} - V_{TN}$. Dar $V_{out} = V_{DS}$ și $V_{in} = V_{GS}$, și făcând substituția rezultă: $V_{in} = V_{DS} + V_{TN} = V_{out} + V_{TN}$.

Dacă $V_{out} + V_{TN} < V_{in} \leq V_+ - |V_{TP}|$, atunci ne aflăm în zona **IV**, tranzistorul T_1 este în conducție liniară (tensiunea drenă-sursă este mică), iar tranzistorul T_2 este saturat (tensiunea sursă-drenă este mare). Tensiunea de intrare care separă zona **IV** de zona **V** este dată de relația $V_{in} = V_+ - |V_{TP}|$. Din considerente de simetrie, cele două tranzistoare se realizează astfel încât $V_{TN} \approx |V_{TP}|$.

Pentru o tensiune de intrare $V_{in} > V_+ - |V_{TP}|$ ne situăm în zona **V**, tranzistorul T_1 este în conducție liniară iar tranzistorul T_2 este blocat. Tensiunea de ieșire este $V_{out} \approx 0$, din aceleași motive discutate la zona **I**. Se observă că în zonele **I** și **V** consumul de curent de la sursă este practic nul, deoarece unul din cele două tranzistoare este blocat.

Nivelele logice de ieșire și intrare garantate prin standard sunt definite la fel ca la structurile TTL:

- V_{IL} , nivelul de tensiune necesar pentru a avea 0 logic la intrare. Această valoare trebuie să nu depășească o valoare maximă garantată: $V_{IL} \leq V_{ILMAX} = 30\% \cdot V_+$.

- V_{IH} , nivelul de tensiune necesar pentru a avea 1 logic la intrare. Această valoare trebuie să depășească o valoare minimă garantată: $V_{IH} \geq V_{IHMIN} = 70\% \cdot V_+$.

- V_{OL} , nivelul de tensiune de la ieșire în starea 0 logic. Această valoare trebuie să fie mai mică decât o valoare maximă garantată: $V_{OL} \leq V_{OLMAX} = 0,05 \text{ V}$.

- V_{OH} , nivelul de tensiune de la ieșire în starea 1 logic. Această valoare trebuie să fie mai mare decât o valoare minimă garantată: $V_{OH} \geq V_{OHMIN} = V_+ - 0,05 \text{ V}$.

Se observă că nivelele logice depind de tensiunea de alimentare V_+ , care poate varia între anumite limite. **Marginea de zgomot** în curent continuu garantată pentru 0 logic este $M_L = V_{ILMAX} - V_{OLMAX} \approx 30\% \cdot V_+$, iar marginea de zgomot în curent continuu garantată pentru 1 logic este $M_H = V_{OHMIN} - V_{IHMIN} \approx V_+ - 70\% \cdot V_+ = 30\% \cdot V_+$. Structura fiind simetrică, cele două margini de zgomot garantate sunt de $30\% \cdot V_+$, dar în realitate ele se apropie până la $45\% \cdot V_+$ ([Ardelean, 1986]).

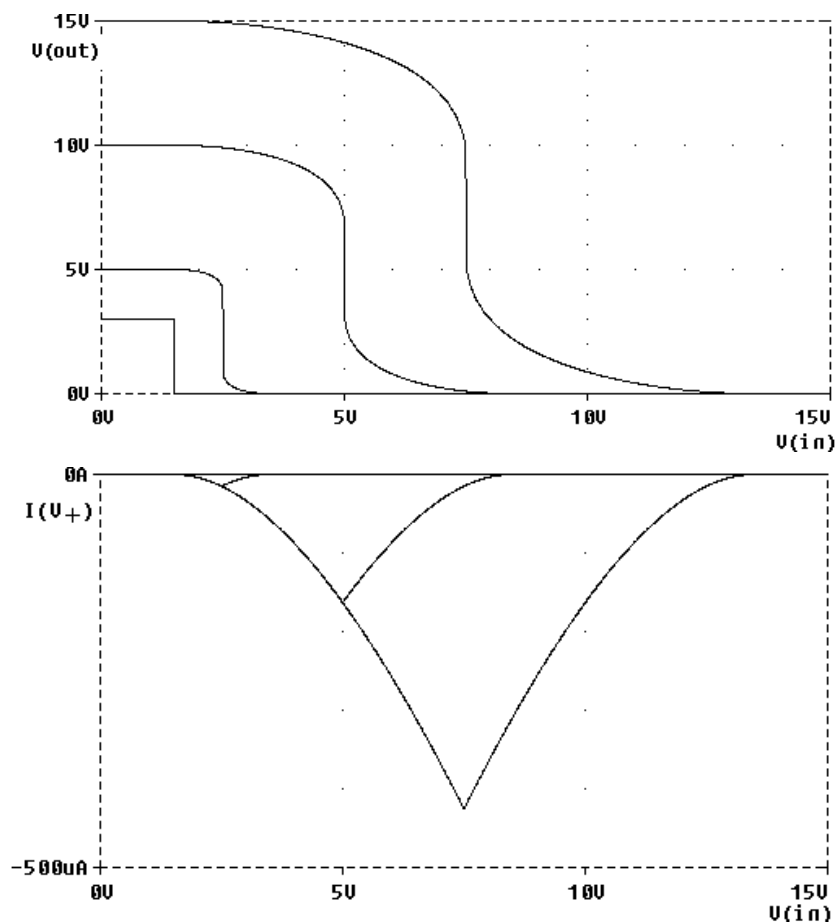


Fig. 3.20 Caracteristicile inversorului CMOS pentru 4 tensiuni de alimentare

Forma caracteristicii de transfer a inversorului CMOS depinde de tensiunea de alimentare. Modificarea tensiunii de alimentare determină modificarea regiunilor **II** și **IV**, așa cum se poate vedea în figura 3.20. Pentru o funcționare corectă a circuitului sunt absolut necesare regiunile **I** și **V**, deci tensiunea minimă de alimentare este de circa 3V, dacă $V_{TN} \approx |V_{TP}| \approx 1,5V$. În figura 3.20 sunt reprezentate caracteristicile de transfer și de curent pentru 4 tensiuni de alimentare tipice : 3V, 5V, 10V și 15V.

Tensiunea maximă este cea suportată de tranzistoarele din structură și poate atinge 18V sau 20V la **seria 4000**. Evident că aceasta este o valoare limită absolută care nu trebuie depășită dacă nu dorim degradarea performanțelor sau chiar distrugerea circuitului integrat. În mod normal tensiunile de alimentare uzuale au valori mai mici (5V, 12V sau 15V).

Consumul de curent de la sursă depinde de tensiunea de alimentare și de frecvența de comutare a porții, deoarece el apare numai la modificarea valorii logice a ieșirii. Dar contribuția esențială în evaluarea consumului total de putere este sarcina de la ieșirea porții, care este formată din capacitatea de intrare a circuitelor comandate, din capacitatea de ieșire a inversorului CMOS analizat și din capacitatea interconexiunilor, toate distribuite și neliniare. Această capacitate de sarcină, notată cu C_L , se încarcă prin T_2 , la o tranziție de la 0 la 1 logic a ieșirii și se descarcă prin T_1 la cealaltă tranziție, de la 1 la 0 logic a ieșirii. Puterea disipată în acest caz se numește **putere disipată în regim dinamic**. Variația de tensiune pe capacitatea C_L în timpul unei tranziții este V_+ , deci sarcina electrică care este vehiculată prin C_L este $C_L \cdot V_+$. Energia totală folosită într-o tranziție este produsul dintre

tensiune și sarcină, adică $C_L \cdot V_+^2$. Dacă notăm cu f frecvența tranzițiilor, atunci puterea disipată totală în regim dinamic este:

$$P_D = C_L \cdot V_+^2 \cdot f$$

Puterea disipată medie a structurilor CMOS este mult mai mică decât a structurilor TTL la frecvențe mici și medii (până la 1-10 MHz), dar la frecvențe mari cele două familii logice au puteri disipate comparabile ([Cupcea,1999]).

Dacă încercăm să trasăm caracteristica de transfer a unei porți CMOS reale vom constata că tranziția tensiunii la ieșire se face brusc, indiferent de tensiunea de alimentare. Reprezentarea din figura 3.21 explică această comportare a ieșirii. Observăm că între nodul 4 al circuitului, care este ieșirea porții ȘI-NU cu 2 intrări, și nodul 7, care este ieșirea efectivă a porții integrate, s-au intercalat 2 inversoare CMOS. Ele formează două **etaje de separare (buffer)** care asigură menținerea zonei de tranziție în limitele impuse prin standard, simetria ieșirii și micșorarea timpului de propagare prin poartă (rezistențele de ieșire care încarcă capacitatea de sarcină au valorile minime, date de existența unui singur tranzistor spre masă sau spre V_+).

Comportamentul ieșirii este preponderent rezistiv. Un tranzistor aflat în conducție are o rezistență echivalentă mai mică de $1K\Omega$, în timp ce un tranzistor aflat în blocare are mai mult de $10M\Omega$. Din acest motiv structurile CMOS alimentate la o tensiune de 5V permit fără probleme **scurtcircuitarea ieșirii** la masă sau la borna + a tensiunii de alimentare. Chiar și pentru tensiuni de 10V scurtcircuitele accidentale (câteva secunde) nu pun în pericol circuitul integrat. Tranzistoarele de ieșire limitează curentul, dar la tensiuni mari de alimentare crește mult puterea disipată de canalul de ieșire și circuitul integrat se poate distruge prin ambalare termică. Această rezistență relativ mare de ieșire are însă dezavantajul că produce o sensibilitate crescută la sarcini capacitive de ieșire.

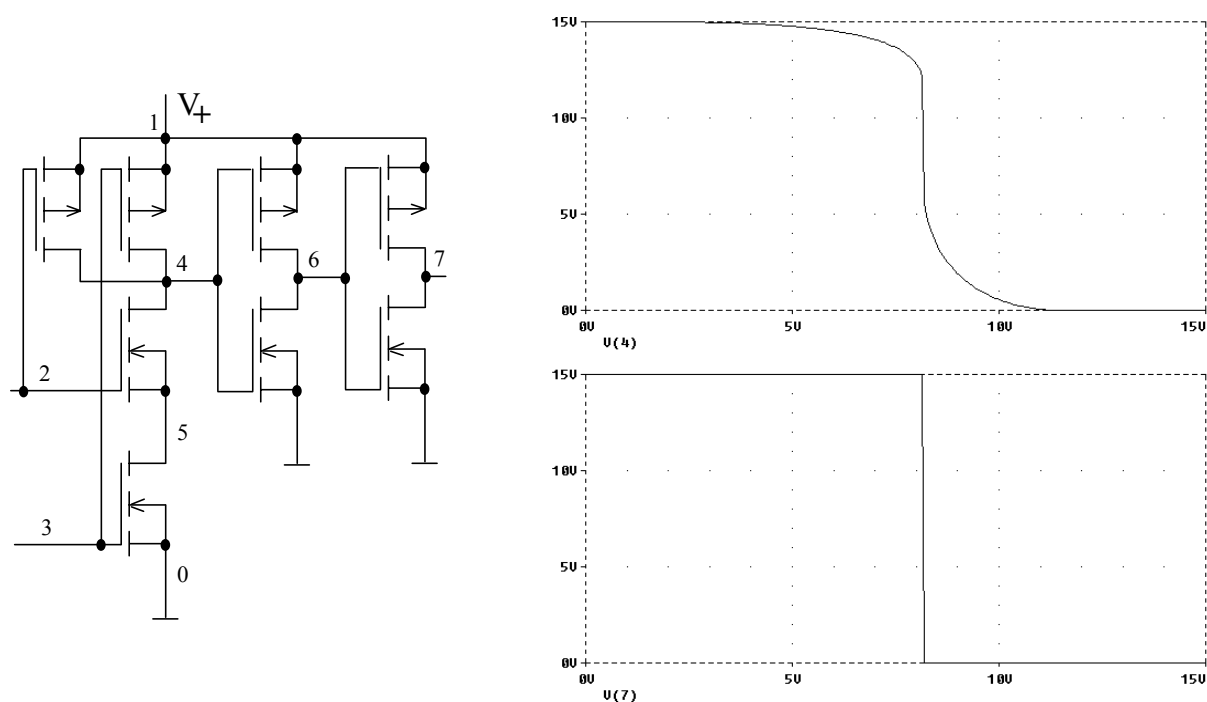


Fig. 3.21 Structura CMOS a porții ȘI-NU cu 2 intrări

Curentul continuu de intrare într-o structură CMOS este neglijabil și nu există din acest punct de vedere restricții teoretice de *fan-out*. Trebuie să avem însă în vedere că fiecare nouă intrare CMOS adaugă o capacitate suplimentară de 5-15 pF capacității de sarcină. Efectul constă în creșterea duratei fronturilor semnalelor de ieșire și a timpului de propagare prin poartă.

Circuitele seriei 4000 sunt prevăzute cu o **rețea de protecție** contra descărcărilor electrostatice. Poarta unui circuit CMOS este complet izolată de substrat prin dielectricul capacitorului poartă-substrat, care are o grosime de circa 1000 Å. Chiar și o sursă de tensiuni electrostatice poate genera o tensiune mare pe poartă, care să producă distrugerea ireversibilă a stratului izolator prin străpungere. Figura 3.22 arată cum se face protecția intrării la inversorul CMOS din seria 4000. Diodele de tip D_1 și D_2 se pot deschide fie în conducție directă, fie în conducție inversă, prin efect Zener. Dioda de tip D_1 are o tensiune de străpungere în domeniul 30...50V, iar dioda de tip D_2 are tensiunea de străpungere în domeniul 30...40V. R este o rezistență distribuită de circa 1,5K Ω care permite limitarea curentului prin diode. Curentul maxim permis prin diode este de 10mA, iar protecția oxidului de poartă se face până la tensiuni electrostatice de circa 4KV (de aici și numele seriei 4000).

Folosirea circuitelor CMOS în zona valorilor limită absolute este riscantă și datorită faptului că există posibilitatea amorsării unui efect parazit de tiristor, fenomen cunoscut sub denumirea de **latch-up** (agățare). Joncțiunile *pn* care rezultă la realizarea unui inversor CMOS generează doi tranzistori bipolari paraziti, care formează o structură echivalentă de tiristor. În anumite condiții tiristorul parazit poate amorsa (tensiune mare de alimentare, încărcare capacitivă mare, zgomot) și există riscul distrugerii circuitului. S-a demonstrat însă că, în unele situații, fenomenul de latch-up ar putea fi utilizat pentru punerea în evidență a unor defecte de întrerupere ale traseelor de alimentare din circuit. Aceste defecte nu pot fi descoperite prin alte metode de testare, ele fiind în permanență mascate de rezistențele de câteva sute de ohmi ale substratului. Rezultatele testului conțin însă un anumit grad de incertitudine pentru că, pe de o parte, amorsarea tiristorului parazit depinde de o serie de factori care nu sunt întotdeauna repetabili, iar pe de altă parte, producătorii de circuite integrate se străduiesc să îmbunătățească permanent imunitatea la latch-up a circuitelor fabricate. Evidențierea din timp a acestor trasee întrerupte este importantă pentru utilizatori, pentru că altfel, deși circuitele funcționează aparent normal, poate apare oricând fenomenul de latch-up în aplicația utilizatorului ([Popa, 1996]).

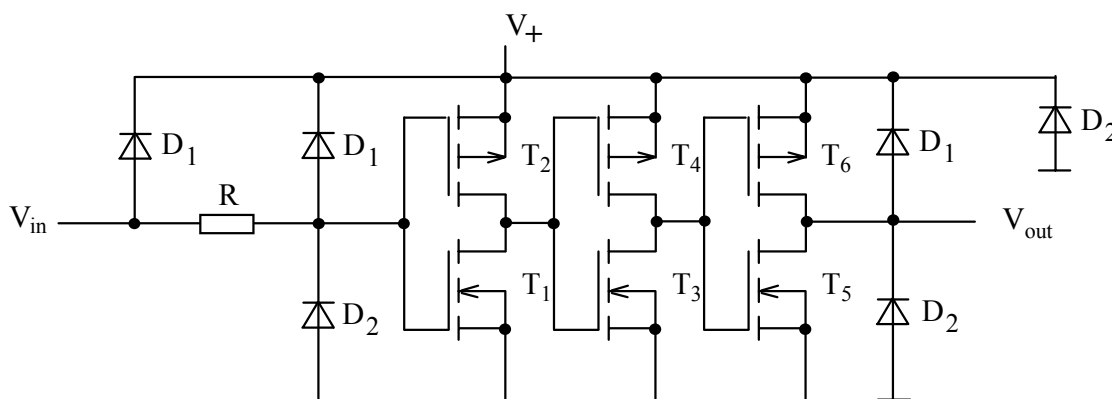


Fig. 3.22 Circuitul de protecție a intrării la seria CMOS 4000

3.6 Structuri CMOS specifice

Dintre structurile CMOS specifice vom prezenta porțile care au ieșiri cu **drena în gol**, porțile cu ieșiri **în trei stări** și porțile de **transmisie**. Acestea din urmă permit transmiterea unor semnale analogice, cerință imposibil de realizat cu structuri TTL.

Structurile CMOS care au **ieșirea cu drena în gol** se obțin prin eliminarea tranzistorului MOS cu canal de tip p din etajul de ieșire. Rămâne numai tranzistorul MOS cu canal de tip n , care poate să comande în general un curent important de sarcină. Aceste structuri pot comanda direct diferite elemente de acționare din unele instalații de automatizare (bec, releu, triac, motor etc.).

Conectarea în paralel a ieșirilor unor porți cu drena în gol generează funcția logică **SAU cablat**, spre deosebire de funcția ȘI cablat întâlnită la structurile TTL. Figura 3.23 sugerează că denumirea SAU-NU cablat ar fi fost poate mai potrivită.

Rezistența de drenă se calculează la fel ca la structurile TTL, ținând seama de numărul de porți cu drena în gol și de numărul de porți comandate. Frecvența maximă este redusă pentru că și aici încărcarea capacității de sarcină se face prin rezistența de polarizare a drenei, care are valori mari.

Inversorul cu ieșiri în 3 stări are structura prezentată în figura 3.24. Dacă intrarea E (Enable) este pe nivel logic 1, atunci tranzistorul T_4 este în conducție (tensiunea poartă-sursă este egală cu tensiunea de alimentare), iar T_1 este și el în conducție (tensiunea sursă-poartă este egală cu tensiunea de alimentare). Rezistențele echivalente ale celor două tranzistoare sunt foarte mici și structura funcționează ca un inversor: 1 logic pe intrare determină conducția lui T_3 și blocarea lui T_2 , deci ieșirea va fi la 0 logic, iar 0 logic pe intrare determină blocarea lui T_3 și conducția lui T_2 , deci ieșirea va fi pe 1 logic.

Dacă intrarea E trece în 0 logic, atunci tranzistoarele T_1 și T_4 se blochează, iar ieșirea va trece în starea de înaltă impedanță (high Z), adică va avea o rezistență foarte mare atât față de masă, cât și față de tensiunea de alimentare. Simularea PSPICE din figura 3.24 ilustrează acest comportament, starea de înaltă impedanță apărând ca un nivel logic intermediar necunoscut. Se poate observa și existența timpului de propagare prin poartă, semnalul inversat la ieșire fiind ușor întârziat față de semnalul aplicat la intrare.

Poarta de transmisie a semnalelor analogice are structura prezentată în figura 3.25 și este un nou tip de comutator folosit în realizarea unui număr mare de circuite integrate CMOS (multiplexoare-demultiplexoare de semnale analogice și numerice, circuite de eșantionare și menținere, comutatoare electronice etc.).

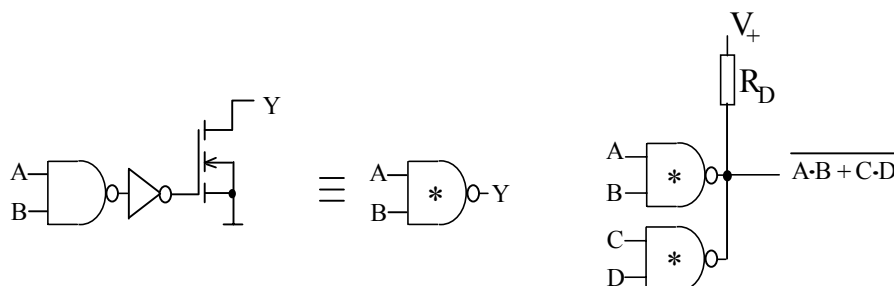


Fig. 3.23 Poarta ȘI-NU cu 2 intrări cu drena în gol și configurația SAU cablat

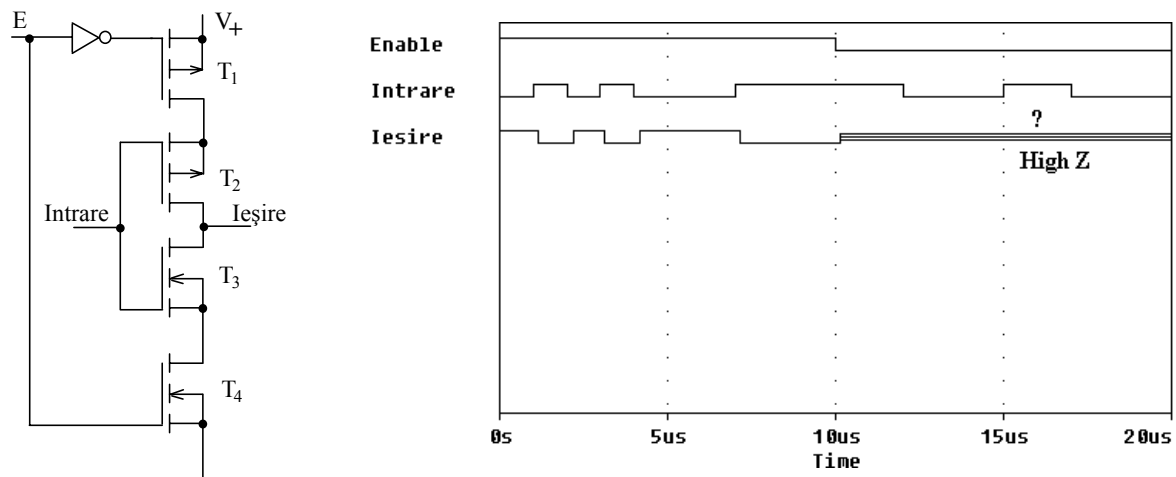


Fig. 3.24 Structura și funcționarea inversorului CMOS cu 3 stări

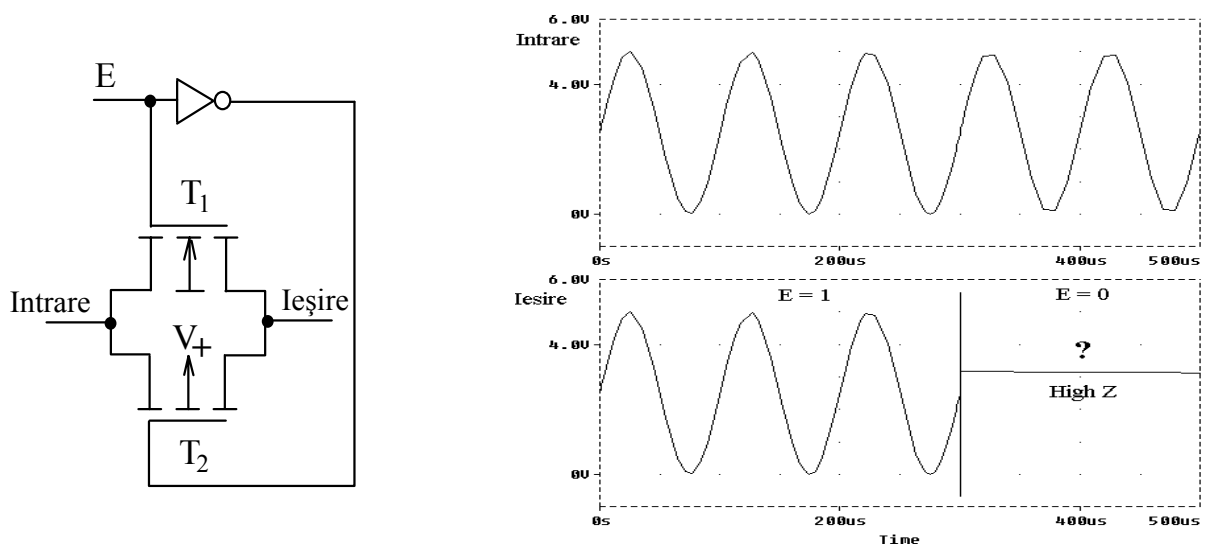


Fig. 3.25 Structura și funcționarea porții de transmisie CMOS

Dacă intrarea E (Enable) este în 1 logic, atunci tensiunea pe poarta tranzistorului T_1 este tensiunea de alimentare, iar tensiunea pe poarta lui T_2 este nulă și comutatorul este deschis. În situația în care tensiunea la intrare este mai mare decât cea de la ieșire, T_1 este blocat, iar T_2 permite trecerea curentului de la sursă la drenă. Invers, dacă tensiunea la intrare este mai mică, atunci T_2 este blocat, iar curentul trece de la drenea la sursa lui T_1 .

Dacă însă E este în 0 logic, atunci cele două tranzistoare sunt blocate și ieșirea este complet izolată de intrare. Putem spune că ieșirea este în starea de înaltă impedanță.

Pentru o funcționare corectă a tranzistoarelor, tensiunea aplicată la intrare trebuie să fie mai mare decât tensiunea de polarizare a substratului (potențialul masei), și mai mică decât tensiunea de alimentare, pentru a se evita deschiderea diodelor față de substrat a tranzistoarelor respective. Simularea analogică din figura 3.25 arată funcționarea circuitului pentru un semnal sinusoidal de intrare de 10KHz și amplitudine de 2,5V, care variază între masă și tensiunea de alimentare de +5V.

Se observă că, datorită interschimbabilității funcționale dintre sursă și drenă, semnalul poate fi transmis în ambele sensuri: ori de la intrare la ieșire, ori de la ieșire la intrare. De aici rezultă și denumirea de **comutator bidirecțional**.

Nu am discutat aici despre porțile **trigger Schmitt în structură CMOS** pentru că ele au o funcționare similară cu cele realizate în tehnologie TTL. De data aceasta histerezisul depinde însă de tensiunea de alimentare.

3.7 Alte grupe ale familiei logice CMOS

Primul succes comercial al structurilor CMOS a fost **seria 4000**, despre care am discutat până acum. Dezavantajul major al acestor circuite este timpul mare de propagare, de peste zece ori mai mare decât la structurile TTL standard. Tensiunile de alimentare mai mari micșorează timpul de propagare și măresc marginea de zgomot de curent continuu, dar determină o creștere a consumului mediu pe poartă.

Circuitele **HC** (**H**igh-speed **C**MO**S**) și **HCT** (**H**igh-speed **C**MO**S**, **T**T**L** compatible) au timpi de propagare comparabili cu cei ai structurilor TTL standard și au ieșiri care pot furniza curenți mai mari comparativ cu circuitele din seria 4000 (circa 8 mA). Seria HC este folosită numai în sisteme cu circuite CMOS, în timp ce intrările seriei HCT sunt proiectate pentru a recunoaște nivele TTL (tensiunile prag ale tranzistoarelor de pe intrări mai mici).

Ulterior au apărut circuitele **AC** (**A**dvanced **C**MO**S**) și **ACT** (**A**dvanced **C**MO**S**, **T**T**L** compatible), foarte rapide, comparabile din acest punct de vedere cu ALS TTL. Curenții oferiți la ieșiri sunt mari (circa 12 mA), consumul este de două ori mai mic decât la HC/HCT, iar compatibilitatea seriei ACT cu familia TTL se face exact ca la HCT. Circuitele AC și ACT au nivelele logice ale intrărilor diferite, dar caracteristicile de ieșire rămân identice.

Evident că au apărut și versiuni hibride cu performanțe intermediare între cele două grupe de mai sus. Este vorba de circuitele **AHC** (**A**dvanced **H**igh-speed **C**MO**S**) și respectiv **AHCT** (**A**dvanced **H**igh-speed **C**MO**S**, **T**T**L** compatible). Ele sunt de circa două ori mai rapide decât circuitele din seriile HC/HCT și consumă de două ori mai puțin.

Variația permisă a tensiunii de alimentare pentru toate aceste circuite este mult mai mică decât la seria 4000. Ea poate varia de la 2 la 6V, dar tensiunea uzuală de alimentare este de 5V, mai ales atunci când circuitele CMOS se interfațează cu diferite circuite TTL. Am văzut mai înainte că puterea disipată în regim dinamic este proporțională cu pătratul tensiunii de alimentare. Prin urmare, o reducere semnificativă a puterii disipate se poate obține prin micșorarea tensiunii de alimentare. Este ideea folosită la realizarea seriilor CMOS de mică tensiune **LV** (**L**ow **V**oltage). Pentru a păstra compatibilitatea cu nivelele logice TTL, toate aceste circuite folosesc tensiuni de alimentare cuprinse între 2,7V și 3,6V, dar 3,3V este o tensiune uzuală.

Circuitele **LV** au performanțe comparabile cu cele din seriile 74HC și 74HCT, dar consumul de curent este de 4 ori mai mic, fiind de circa 20 μ A pe poartă. Numai circuitele din seria LVC au un consum mai mic. Timpul de propagare este, totuși, ceva mai mic decât la seriile 74HC/HCT.

Seria **LVC** (**L**ow **V**oltage **C**MO**S**) este mult mai rapidă decât LV, fiind comparabilă din acest punct de vedere cu ALS TTL. Ieșirea poate furniza un curent de 24mA în orice stare logică, deși tranzistoarele din etajul de ieșire sunt tranzistoare MOS. Consumul de curent este de numai 10 μ A pe poartă, cel mai mic dintre toate grupele familiei logice CMOS. Unele porți din seria LVC conțin un circuit suplimentar, care menține ultima

valoare logică cunoscută a intrării până la modificarea ei. Se poate renunța în acest caz la regula de a conecta intrările CMOS nefolosite la un anumit nivel logic. Acest circuit de reținere a valorii de pe magistrală (**Bus Hold**) se compune din două inversoare conectate anti-paralel și o rezistență. Pentru o funcționare normală a acestui circuit se specifică și un curent de intrare de menținere, de ordinul sutelor de μA .

Cele mai bune performanțe de viteză le obțin circuitele **ALVC** (**A**dvanced **L**ow **V**oltage **C**MOS) care sunt mai rapide decât Schottky TTL la un consum de numai $40\mu\text{A}$ pe poartă. Ieșirea poate furniza un curent de 24mA în orice stare logică.

3.8 Structura BiCMOS

Circuitele BiCMOS îmbină avantajele tehnologiei bipolare (viteză mare, curent mare de ieșire, **protecție ESD** (**E**lectro**S**tatic **D**ischarge)) cu avantajele tehnologiei CMOS (consum redus, densitate mare de integrare).

Tranzistoarele de intrare sunt tranzistoare MOS cu o tensiune prag de circa $1,5\text{V}$, iar tranzistoarele de ieșire sunt bipolare. Astfel se asigură o excursie a tensiunii la ieșire mai mică decât la structurile CMOS, deci puterea consumată pentru încărcarea/descărcarea capacității de sarcină este redusă. Pe de altă parte, tranzistoarele bipolare se blochează mai rapid decât tranzistoarele MOS, deci se micșorează consumul de curent de la sursa de alimentare.

Circuitele din seria **LVT** (**L**ow **V**oltage **T**echnology) se apropie de viteza circuitelor Schottky TTL. Curenții de ieșire pot fi foarte mari (64mA pentru 0 logic și 32mA pentru 1 logic la ieșire). Acest lucru se realizează prin introducerea unor tranzistoare bipolare în paralel cu tranzistoarele MOS din etajul de ieșire. Consumul de curent variază în funcție de nivelul logic de la ieșire: 5mA pentru 0 logic și $200\mu\text{A}$ pentru 1 logic.

Schema simplificată din figura 3.26 prezintă structura parțială a unui inversor din seria **ABT** (**A**dvanced **B**iCMOS **T**echnology). Dioda și tranzistorul bipolar din circuitul de intrare reduc tensiunea de alimentare a inversorului CMOS, pentru a asigura comanda lui cu nivele TTL. Celelalte tranzistoare introduc o reacție care generează un histerezis de circa 100mV .

Circuitele din seria **ALB** (**A**dvanced **L**ow-voltage **B**iCMOS) sunt cele mai rapide, având viteze comparabile cu seria AS TTL. Curentul maxim de ieșire este 25mA pentru ambele nivele logice, iar consumul este de 5mA pentru 0 logic și $800\mu\text{A}$ pentru 1 logic.

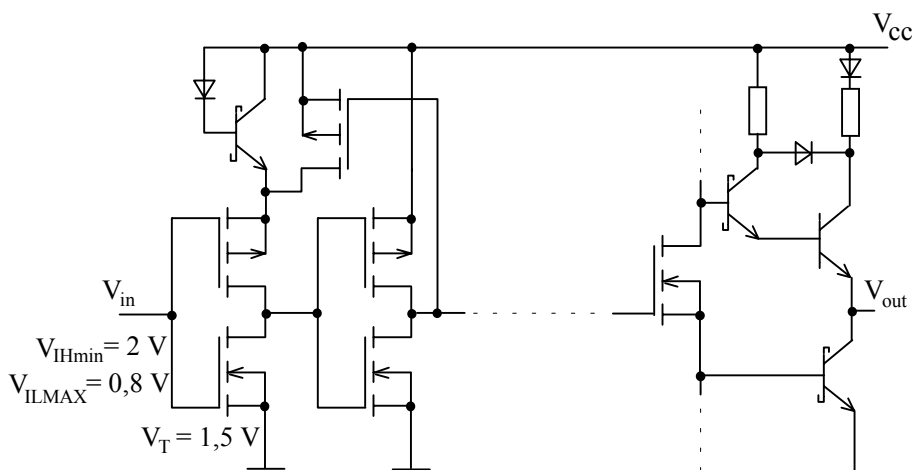
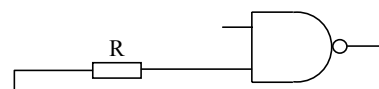


Fig. 3.26 Structura parțială a unui inversor BiCMOS

Probleme

- 3.1** Să se calculeze valoarea maximă a rezistenței ce poate fi conectată în circuitul din figură pentru ca poarta TTL-LS să interpreteze corect nivelul de 0 logic la intrare. Valoarea lui I_{ILMAX} pentru seria LS este 0,4mA.



([Mureșan, 1996])

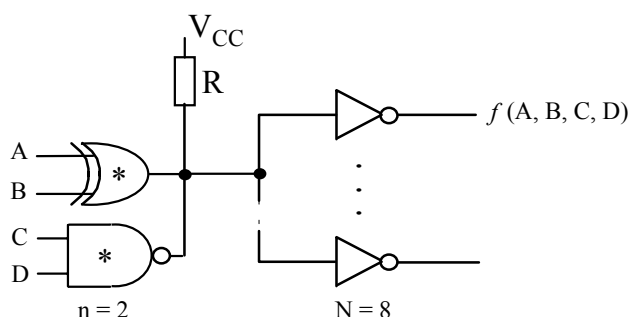
- 3.2** Să se calculeze care este rezistența de pull-up necesară unei porți TTL standard cu colectorul în gol, care să furnizeze o tensiune minimă V_{OH} de 2,4V la un curent de sarcină de 500μA. Care este curentul disponibil pentru comanda altor porți, în limitele fan-out-ului cunoscut? Care este avantajul unei valori relativ mari pentru rezistența de pull-up? Dar a unei valori relativ mici? Se dă $I_{OHMAX} = 250\mu A$.

([Baumgartner, 1985])

- 3.3** Două porți cu colector în gol sunt conectate ca în figură. Caracteristicile de intrare ale porților TTL sunt cele cunoscute din standard, iar caracteristicile de ieșire ale porților cu colector în gol sunt: $I_{OHMAX} = 100\mu A$, $V_{OLMAX} = 0,4V$, $I_{OLMAX} = 16mA$. Se cere :

- să se scrie expresia funcției de ieșire ;
- să se dimensioneze rezistența R, astfel încât marginea de zgomot în starea 1 logic să fie mai mare de 1V ;
- marginea de zgomot în starea 0 logic.

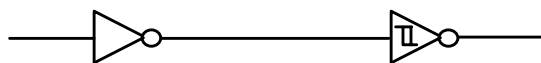
Poarta cu intrările A și B realizează funcția SAU EXCLUSIV, iar $V_{CC} = +5V$.



([Ștefan, 2000])

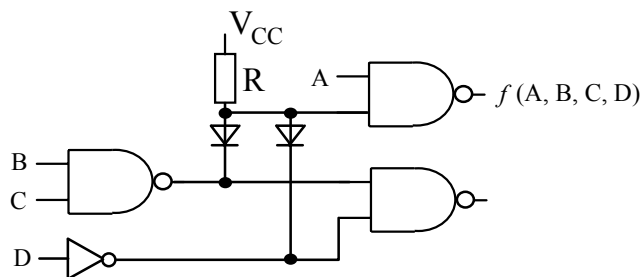
- 3.4** Rezolvați din nou problema 3.3, înlocuind cele $N = 8$ porți TTL standard cu porți CMOS din seria 4000. Tensiunea de alimentare nu se modifică.
- 3.5** Verificați dacă o poartă CMOS din seria 4000 poate comanda corect o poartă TTL standard, și invers, dacă poarta TTL standard poate comanda o poartă CMOS din seria 4000. Dacă răspunsul este negativ propuneți, totuși, o soluție de interfațare.
- 3.6** Explicați în ce situație un circuit integrat CMOS din seria 4000 poate să funcționeze în lipsa tensiunii de alimentare. Care sunt riscurile unei astfel de situații și ce măsuri de prevenire recomandați ?

- 3.7 Care este marginea de zgomot asigurată de conexiunea din figură? Porțile sunt TTL standard.



([Ștefan, 2000])

- 3.8 Analizați circuitul de mai jos, știind că porțile folosite sunt TTL standard. Modificați circuitul pentru a elimina erorile de proiectare și pentru a realiza totuși funcția dorită de proiectant.



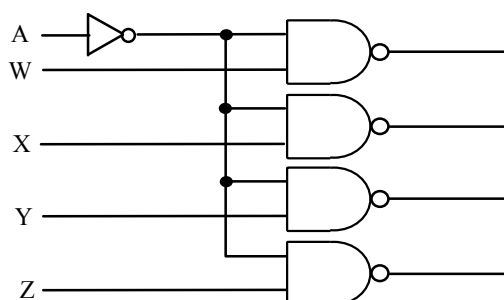
- 3.9 Proiectați un circuit pentru interfațarea unor circuite CMOS din seria 4000, alimentate între +10V și -5V, cu circuite TTL alimentate între +5V și 0V. Circuitul conține de fapt două subcircuite care asigură transferul informației în ambele sensuri.

- 3.10 Proiectați un circuit pentru comanda unui LED folosind o poartă TTL standard, iar pe urmă o poartă CMOS din seria 4000. Tensiunea de alimentare este de 5V, iar valoarea impusă a curentului prin LED este de 10mA. Se consideră $V_F = 2,4V$.

- 3.11 Să se determine puterea disipată de inversorul CMOS la frecvențele de 0,1MHz și 10MHz, dacă capacitatea parazită de ieșire este de 50pF, iar capacitatea parazită totală a sarcinii este de 20pF, în cazul în care durata fronturilor este redusă.

([Mureșan, 1996])

- 3.12 Să se determine puterea disipată totală a circuitului din figură în două cazuri: a)folosind porți LS-TTL ; b) folosind porți HC. Considerăm o capacitate de intrare de 3pF pentru o poartă TTL și de 7pF pentru o poartă CMOS. Considerăm că o poartă LS are o capacitate echivalentă disipativă de 20pF. Există și o capacitate parazită suplimentară de 20pF, datorită traseelor de conexiuni. Intrările W, X, Y și Z rămân mereu la nivel logic 1. Alte eventuale informații necesare se găsesc în datele de catalog. La ce frecvență circuitele TTL ajung să disipe mai puțin decât circuitele CMOS?



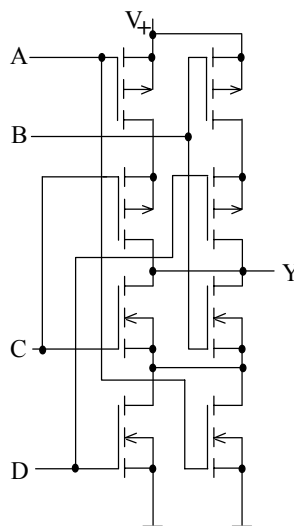
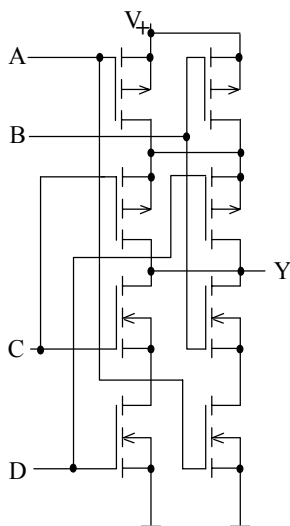
([Wakerly, 1990])

3.13 Realizați o interfață TTL – CMOS alimentat la +10V, folosind un circuit cu colector în gol ($I_{OHMAX} = 250\mu A$). Să se calculeze :

- valoarea rezistenței de colector, dacă capacitatea totală de sarcină este de 20pF, iar timpul de creștere trebuie să fie de 50ns;
- care este curentul I_{OL} care trebuie vehiculat prin poartă ;
- marginile de zgomot în cele două stări logice.

([Baumgartner, 1985])

3.14 Ca și structurile TTL, structurile CMOS pot realiza două nivele de logică folosind un singur "nivel" de tranzistoare. Circuitul din stânga figurii de mai jos este o structură CMOS care implementează poarta logică ȘI-SA-U-NU. Analizați structura și funcționarea circuitului. Arătați ce poartă logică implementează circuitul din dreapta figurii și explicați funcționarea lui, folosind eventual un tabel de adevăr.



([Wakerly, 1990])