

3 CIRCUITE DE IMPULS

Aplicațiile din acest capitol își propun să prezinte circuite secvențiale regenerative, care generează și prelucrează impulsuri. Este vorba de clasa circuitelor multivibratoare, care conține circuite astabile, monostabile sau bistabile, realizate cu porți logice sau cu circuite integrate specializate.

3.1 Considerații teoretice

3.1.1 Circuite astabile

Circuitele astabile sunt circuite basculante care nu au nici o stare stabilă. Ele au numai două stări cvasistabile, iar trecerea de la o stare la alta se face fără comandă din exterior. Circuitul este de fapt un oscilator care generează semnal numeric. Cvasistabilitatea nu se referă la nivelele logice ale semnalului generat, ele sunt 0 logic sau 1 logic și sunt perfect stabile pe o anumită durată de timp. Cvasistabilitatea se referă la faptul că nici unul dintre nivelele logice 0 sau 1 nu poate fi menținut la ieșire un interval de timp oricât de mare. De aici rezultă și denumirea circuitului.

Durata și frecvența impulsurilor generate de circuitul astabil depind de parametrii acestuia, de obicei determinați de rețele RC. Pentru o stabilitate ridicată a frecvenței se utilizează cristale de cuarț.

Circuitele astabile pot funcționa și în regim de sincronizare declanșată sau comandată. În primul caz, la fiecare impuls de declanșare astabilul pornește cu fază fixă a oscilațiilor. În al doilea caz, se generează impulsuri atât timp cât la intrare există un semnal de comandă activ pe unul dintre cele două nivele logice.

Circuitele astabile se pot implementa cu componente discrete, cu porți logice sau cu circuite integrate specializate. Nu vom discuta în acest capitol implementările cu tranzistoare, iar folosirea circuitelor integrate specializate va fi discutată în secțiunea următoare a acestui capitol.

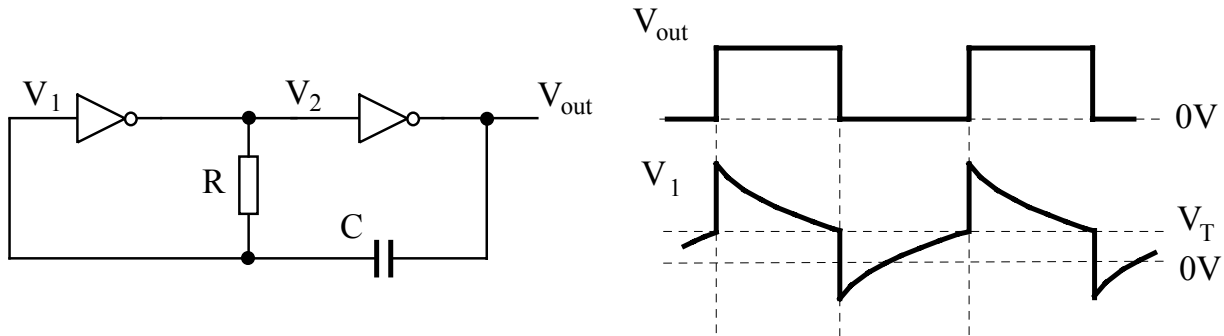


Fig. 3.1 Circuit astabil cu porți CMOS

O schemă simplă de circuit astabil cu porți CMOS este prezentată în figura 3.1. Vom neglija întârzierea semnalelor prin porți și vom presupune că nivelul de tensiune la ieșire se schimbă instantaneu când tensiunea de intrare atinge valoarea de prag V_T .

Dacă V_1 atinge valoarea lui V_T , inversoarele comută și ieșirea V_{out} trece în 1 logic. Acest salt de tensiune este transmis prin condensator și V_1 devine $V_T + V_+$, unde V_+ este tensiunea de alimentare a circuitului. De fapt, tensiunea nu poate fi chiar atât de mare, pentru că intervine limitarea din rețeaua de protecție a intrării, dar deocamdată să neglijăm și acest lucru. Condensatorul începe să se descarce prin rezistența R , iar când tensiunea pe el atinge din nou valoarea V_T porțile comută din nou. Se produce un nou salt de tensiune pe intrarea V_1 , de la V_T la $V_T - V_+$, cu aceeași observație de mai sus. Condensatorul se încarcă acum, iar când V_1 atinge din nou valoarea lui V_T , întregul ciclu se reia.

Circuitul nu are o stare stabilă. Salturile de tensiune între nivele se produc cu o periodicitate determinată de elemente pasive R , C și de pragul de tensiune V_T . Pentru $V_T = V_+/2$ factorul de umplere este $1/2$, iar frecvența este dată de relația: $f = \frac{1}{2,2 \cdot R \cdot C}$. Cu acest circuit se pot genera impulsuri cu o frecvență stabilă de până la 1MHz.

Pentru obținerea unor frecvențe stabile în timp (ceasuri electronice, calculatoare etc.) se folosesc astabile cu cristal de cuarț. Din punct de vedere electric, cristalul oferă o impedanță cu proprietăți de circuit rezonant cu factor de calitate foarte mare. În figura 3.2 se prezintă simbolul convențional pentru cristalul de cuarț, circuitul electric echivalent și variația reactanței cu frecvența (dacă se neglijează rezistența r).

Se constată existența unei rezonanțe serie la frecvența $\Omega_s = \frac{1}{\sqrt{L \cdot C}}$, și a unei rezonanțe paralel la frecvența $\Omega_p = \frac{1}{\sqrt{L \cdot \frac{C \cdot C_0}{C + C_0}}}$.

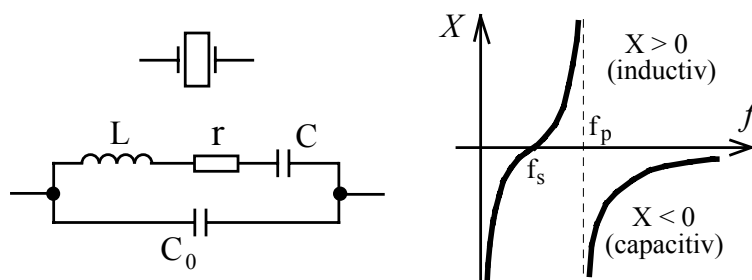
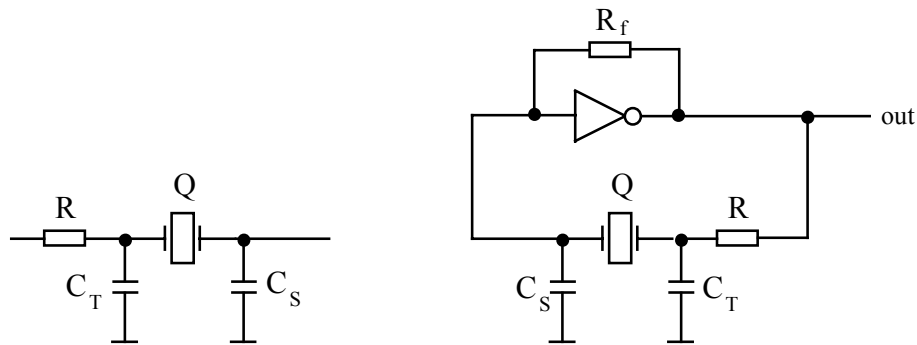


Fig. 3.2 Cristalul de cuarț, circuitul echivalent și dependența reactanței de frecvență

Fig. 3.3 Rețeaua de reacție π și oscilator CMOS cu cuarț

Oscilatoarele cu rezonanță serie sunt proiectate să oscileze la frecvența de rezonanță serie. Cele cu rezonanță paralel oscilează la frecvențe cuprinse între cele două frecvențe de rezonanță serie și paralel, în funcție de valoarea încărcării capacitive a cuarțului. Circuitele cu rezonanță paralel au performanțe mai bune când lucrează cu amplificatoare cu impedanță mare de intrare, deci ele sunt cele mai răspândite pentru oscilatoarele cu cuarț care utilizează amplificatoare CMOS.

Figura 3.3 ilustrează configurația adecvată pentru o rețea de reacție a unui oscilator cu rezonanță paralel, rețea care asigură un defazaj de 180° , iar schema practică de oscilator mai conține un inversor CMOS pe post de amplificator care realizează un defazaj de 180° , polarizat prin rezistența R_f , pentru a îndeplini condiția $V_{out} = V_{in} = V_+ / 2$. Valoarea acestei rezistențe este suficient de mare pentru a preveni încărcarea rețelei de reacție, dar mică în comparație cu rezistența de intrare a amplificatorului inversor.

Principalul dezavantaj al oscilatoarelor cu porți CMOS – seria 4000 îl constituie frecvența redusă a semnalelor generate. La frecvențe ce depășesc 4MHz stabilitatea funcționării circuitului pune mari probleme. Pentru frecvențe de ordinul zecilor de MHz se folosesc circuite cu porți TTL.

Figura 3.4 prezintă schema completă a unui oscilator cu cuarț și porți TTL. Abaterea de frecvență este de ordinul $10^{-6} \dots 10^{-7}$ și poate atinge valori de $10^{-8} \dots 10^{-9}$ dacă cuarțul este introdus într-o incintă termostatăă ([Nicula, 1994]).

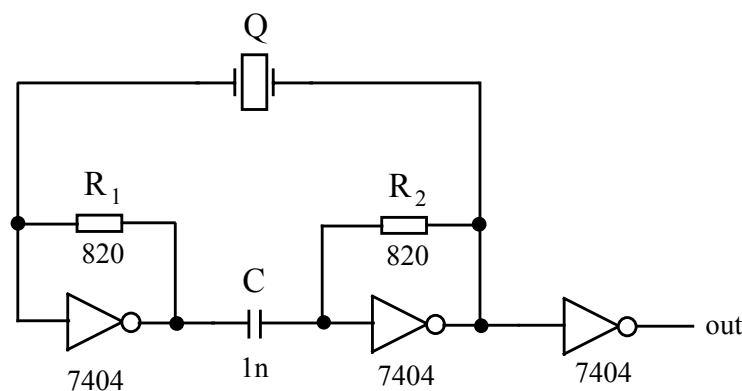


Fig. 3.4 Oscilator cu cuarț și porți TTL

3.1.2 Circuite monostabile

Circuitele monostabile sunt circuite basculante cu o singură stare stabilă și cu o stare cvasistabilă. Trecerea în starea cvasistabilă se realizează sub acțiunea unei comenzi exterioare, iar revenirea se face după un anumit timp, dependent numai de parametrii circuitului și nu de semnalele externe de comandă.

Durata stării cvasistabile este dată de circuitul extern de temporizare format dintr-un grup RC. Stabilitatea acestei durate este una din cerințele principale impuse unui monostabil.

Un circuit monostabil poate fi făcut să funcționeze și în regim de redeclanșare (retriggerable), când procesul cvasistaționar poate fi reînceput chiar în timpul desfășurării ciclului de temporizare.

Circuitele monostabile se pot implementa cu componente discrete, cu porți logice sau cu circuite integrate specializate. Nu vom discuta în acest capitol implementările cu tranzistoare, iar folosirea circuitelor integrate specializate va fi discutată în secțiunea următoare a acestui capitol.

O schemă simplă de circuit monostabil cu porți CMOS este prezentată în figura 3.5. Pulsul de declanșare aplicat pe intrarea porții SAU-NU va determina comutarea ieșirii porții din 1 în 0 logic. Condensatorul C, neîncărcat, transmite impulsul spre poarta inversoare, care comută și ea, iar V_{out} devine 1 logic. Ieșirea V_{out} se aplică prin reacție celeilalte intrări în poarta SAU-NU, care poate substitui impulsul inițiator (bucla s-a închis). Durata minimă a impulsului de inițiere trebuie să fie egală cu suma timpilor de propagare prin cele două porți. Tensiunea pe condensator crește cu o constantă de timp RC și atunci când atinge valoarea de prag V_T , inversorul comută, iar tensiunea la ieșire revine la 0 logic.

Dacă tensiunea de prag este cam jumătate din tensiunea de alimentare, atunci durata temporizării este de circa $0,69 \cdot R \cdot C$, valoare ce rezultă din rezolvarea ecuației de încărcare a unui condensator între două limite de tensiune cunoscute.

Stabilitatea acestui circuit este destul de bună pentru că tensiunile de prag la circuitele CMOS nu sunt influențate de temperatură. După cum indică și relația de mai sus, durata pulsului poate fi modificată prin reglarea valorilor rezistenței (R) și a condensatorului (C). Este însă evident că o structură de circuit integrat specializat oferă performanțe superioare în privința stabilității duratei pulsului și a parametrilor formelor de undă de la ieșire.

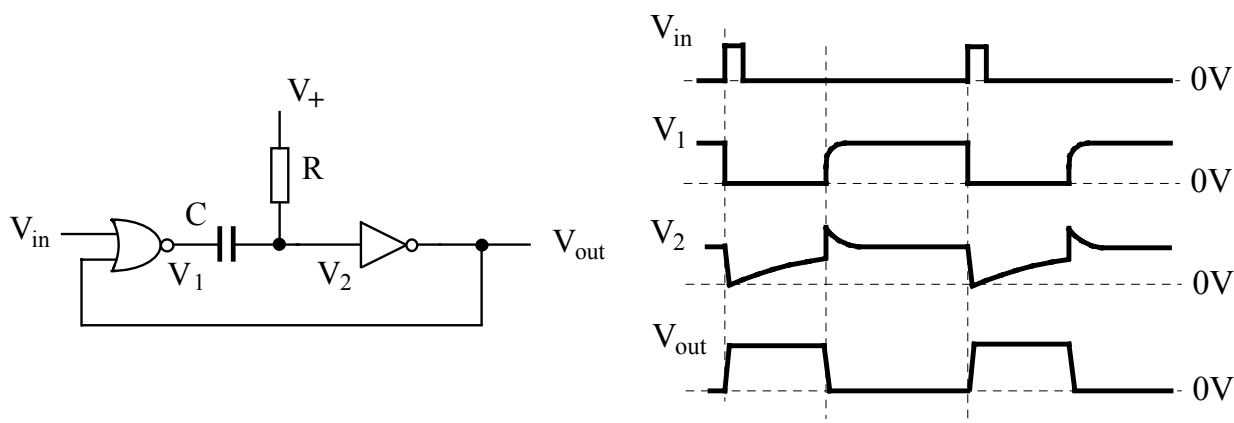


Fig. 3.5 Circuit monostabil cu porți CMOS

3.1.3 Circuite bistabile

Circuitele bistabile sunt circuite basculante care au două stări stabile. Trecerea de la o stare la alta se face cu ajutorul unor semnale de comandă aplicate din exterior.

În general, bistabilele au două ieșiri complementare notate cu Q și $\bar{Q}$. Ele pot bascula asincron, imediat ce primesc comanda la intrare, sau sincron cu un impuls de ceas care condiționează bascularea.

Un exemplu de bistabil asincron în sensul definiției de mai sus este circuitul din figura 3.6. Stările logice la ieșiri sunt complementare și comută la fiecare acționare a comutatorului cu 2 poziții de la intrare. Dacă comutatorul nu mai este acționat, durata fiecărei stări logice, 0 sau 1, este nelimitată, cu condiția ca circuitul să rămână alimentat pe toată durata experimentului.

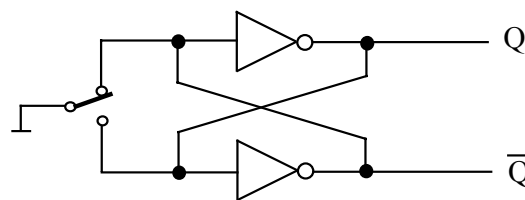


Fig. 3.6 *Latch pentru filtrarea impulsurilor parazite pe contacte*

Circuitul se mai numește LATCH, sau element de memorare, și probabil că aplicația principală a acestui circuit este filtrarea impulsurilor parazite care apar la comutarea contactelor mecanice.

Bistabilele cu ceas, sau bistabilele sincrone, sunt structuri mai complexe, uneori cu mai multe etaje comandate de semnalul de ceas, semnal furnizat de cele mai multe ori de un astabil. Modificarea stării la ieșiri se face pe fronturile semnalului de ceas. Pentru ca tranzițiile efectuate de bistabile să fie corecte, pe intrările lor se aplică semnale de comandă sintetizate pe baza tabelelor de tranziție corespunzătoare tipurilor de bistabile utilizate.

Figura 3.7 reprezintă tabelatele pentru bistabilul de tip D. Cele două tabele sunt perfect echivalente. Primul tabel se numește de obicei tabel de adevăr, datorită asemănării cu un tabel de adevăr pentru circuite combinaționale: intrările sunt în coloanele din stânga, iar ieșirea Q^+ este în dreapta. Aici avem o singură intrare de date, notată cu D. Notăția Q indică starea actuală a ieșirii Q , iar Q^+ indică valoarea viitoare a ieșirii Q , după apariția frontului de ceas care comută bistabilul. Ieșirea $\bar{Q}$ este ignorată, ea fiind mereu complementul lui Q . Tabelul tranzițiilor conține în stânga coloanele Q și Q^+ , iar în dreapta valorile D ale intrării care ar genera tranziția respectivă din Q în Q^+ .

D	Q^+	Q	Q^+	D
0	0	0	0	0
0	1	0	1	1
1	0	1	0	0
1	1	1	1	1

tabel de adevăr

tabel de tranziție

Fig. 3.7 *Tabele de tranziție pentru bistabilul de tip D*

J	K	Q^+	Q	Q^+	J	K
0	0	Q	0	0	0	x
0	1	0	0	1	1	x
1	0	1	1	0	x	1
1	1	$\overline{Q}$	1	1	x	0

tabel de adevăr

tabel de tranziție

Fig. 3.8 Tabele de tranziție pentru bistabilul de tip JK

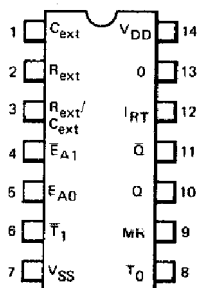
Figura 3.8 reprezintă tabelele pentru bistabilul de tip JK. De data aceasta există două intrări separate de date, notate cu J și K, iar funcționarea acestui bistabil este mai complexă. El nu mai este un simplu element de memorie ca bistabilul de tip D, fiind capabil de complementarea stării prezente, oricare ar fi ea, prin aplicarea lui 1 logic pe cele două intrări: $Q^+ = \overline{Q}$. Simbolul “x” are semnificația cunoscută: “don’t care”.

Aceste două tipuri de bistabile sunt implementate în structurile integrate care conțin bistabile separate. Bistabilele de tip SR au fost mai puțin utilizate datorită restricției impuse intrărilor, iar bistabilele de tip T sunt utilizate numai în circuite care realizează funcția de numărare.

3.2 Demonstrații practice

Considerațiile asupra alimentării panoului logic, formulate în primul capitol, rămân valabile și aici. Pentru circuitele integrate specializate care sunt folosite în această aplicație avem din nou nevoie de foile de catalog.

Panoul logic conține porți logice, trei circuite integrate CMOS și un circuit integrat TTL. Primul circuit integrat folosit în aplicație este **MMC 4047**, un circuit cu funcție de astabil sau monostabil, după cum este conectat. Configurația pinilor și tabelul de funcționare sunt prezentate în figura 3.9.

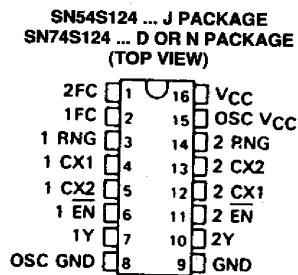
CONNECTION DIAGRAM
DIP (TOP VIEW)

MODE SELECTION

INPUTS						FUNCTION
E_{A0}	$\overline{E}_{A1}$	T_0	$\overline{T}_1$	I_{RT}	MR	
H	X	L	H	L	L	Astable Multivibrator (Free Running)
X	L	L	H	L	L	Astable Multivibrator (Free Running)
$\overline{J}$	H	L	H	L	L	Astable Multivibrator (True Gating)
L	$\overline{J}$	L	H	L	L	Astable Multivibrator (Complement Gating)
L	H	$\overline{J}$	L	L	L	Monostable Multivibrator (Positive-Edge Triggering)
L	H	H	$\overline{J}$	L	L	Monostable Multivibrator (Negative-Edge Triggering)
L	H	$\overline{J}$	L	$\overline{J}$	L	Monostable Multivibrator (Retriggering)
X	X	X	X	X	H	Reset

H = HIGH LEVEL
L = LOW LEVEL
 $\overline{J}$ = POSITIVE PULSE
 $\overline{J}$ = NEGATIVE PULSE
 $\overline{J}$ = POSITIVE-GOING TRANSITION
 $\overline{J}$ = NEGATIVE-GOING TRANSITION
X = DON'T CARE

Fig. 3.9 Configurația pinilor și tabelul de funcționare pentru circuitul MMC 4047



The 'S124 features two independent voltage-controlled oscillators (VCO) in a single monolithic chip. The output frequency of each VCO is established by an external capacitor in combination with two voltage-sensitive inputs, one for frequency range and one for frequency control. These inputs can be used to vary the output frequency as shown under typical characteristics. These highly stable oscillators can be set to operate at any frequency typically between 0.12 hertz and 85 megahertz. Under the conditions used in Figure 1, the output frequency can be approximated as follows:

$$f_o = \frac{5 \times 10^{-2}}{C_{ext}}$$

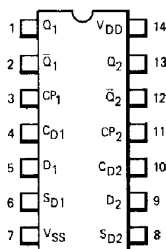
where: f_o = output frequency in hertz
 C_{ext} = external capacitance in farads.

Fig. 3.10 Configurația pinilor și relația de calcul al frecvenței pentru circuitul SN 74S124

Circuitul integrat SN 74S124 conține două oscilatoare controlate în tensiune identice, realizate în tehnologie Schottky TTL. O aplicație frecventă a circuitului este realizarea unei bucle cu calare de fază (PLL – Phase Locked Loop), care permite implementarea sintetizatoarelor de frecvență, a demodulateoarelor etc. Noi am folosit aici numai oscilatorul comandat în tensiune (VCO – Voltage Controlled Oscillator) pentru a verifica modul în care se face controlul frecvenței astabilului comandat.

Cele două circuite CMOS care conțin bistabile integrate sunt frecvent utilizate de proiectanții care lucrează la acest nivel de integrare. Circuitul MMC 4013 conține 2 bistabile de tip D, iar circuitul MMC 4027 conține două bistabile de tip JK. Informația esențială preluată din foile de catalog este prezentată în figurile 3.11 și respectiv 3.12.

CONNECTION DIAGRAM
DIP (TOP VIEW)



4013B TRUTH TABLES

ASYNCHRONOUS INPUTS		OUTPUTS	
S _D	C _D	Q	Q̄
L	H	L	H
H	L	H	L
H	H	H	H

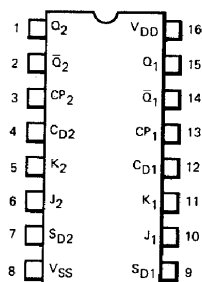
L = LOW Level
H = HIGH Level
┐ = Positive-Going Transition
Q_{n+1} = State After Clock Positive Transition

SYNCHRONOUS INPUTS		OUTPUTS	
CP	D	Q _{n+1}	Q̄ _{n+1}
┐	L	L	H
┐	H	H	L

Conditions: S_D = C_D = LOW

Fig. 3.11 Configurația pinilor și tabelele de tranziție pentru circuitul MMC 4013

CONNECTION DIAGRAMS
DIP (TOP VIEW)



TRUTH TABLES

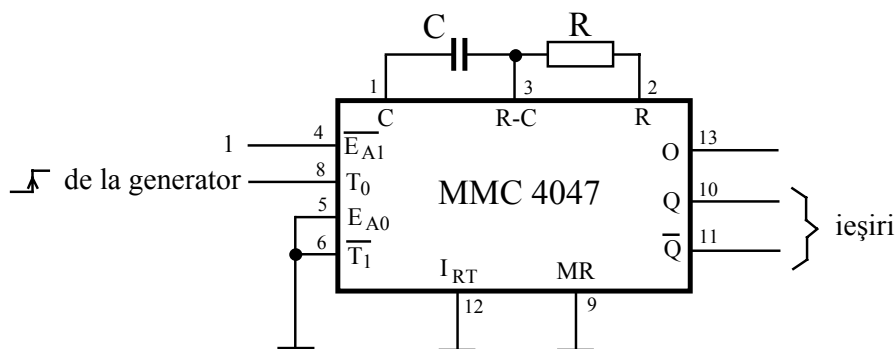
ASYNCHRONOUS INPUTS		OUTPUTS	
S _D	C _D	Q	Q̄
L	H	L	H
H	L	H	L
H	H	H	H

L = LOW Level
H = HIGH Level
┐ = Positive-Going Transition
Q_{n+1} = State After Clock Positive Transition

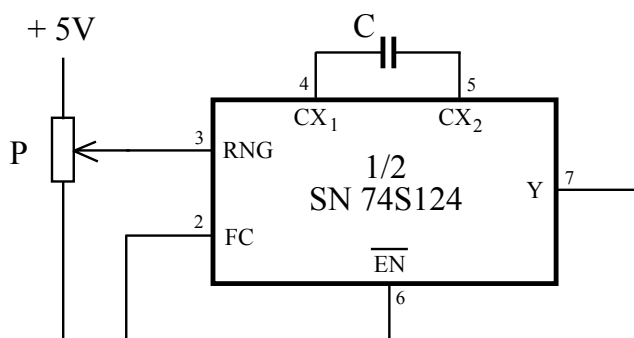
SYNCHRONOUS INPUTS			OUTPUTS	
CP	J	K	Q _{n+1}	Q̄ _{n+1}
┐	L	L	NO CHANGE	
┐	H	L	H	L
┐	L	H	L	H
┐	H	H	Q̄ _n	Q _n

Conditions: S_D = C_D = LOW

Fig. 3.12 Configurația pinilor și tabelele de tranziție pentru circuitul MMC 4027

Fig. 3.14 Circuitul **MMC 4047** conectat ca monostabil pe front crescător

3.2.6 Se realizează un circuit astabil folosind o secțiune a circuitului integrat **SN74S124** (o jumătate), ca în figura 3.15. Se aplică de la potențiometrul de pe panou o tensiune variabilă pe intrarea RNG și se studiază modificarea frecvenței semnalului de ieșire cu tensiunea de intrare. Vizualizați semnalul de ieșire și verificați în ce condiții se respectă formula de calcul al frecvenței de oscilație dată în figura 3.10. Verificați funcționarea circuitului pentru diverse condensatoare de pe panoul logic. Se reprezintă grafic dependența dintre frecvența semnalului generat și tensiunea aplicată pe intrare și se stabilește zona de liniaritate, dacă aceasta există.

Fig. 3.15 O secțiune a circuitului **SN 74S124** conectată ca astabil comandat în tensiune

3.2.7 Se realizează schema de latch cu două inversoare din figura 3.6. Explicați funcționarea schemei și verificați funcționarea montajului, vizualizând stările logice ale ieșirilor cu ajutorul unor LED-uri. Circuitul este frecvent folosit la aplicarea manuală a unor semnale logice pe intrările circuitelor integrate: semnale de ceas, semnale asincrone de SET sau RESET, semnale de memorare a unor intrări etc. Acționarea comutatorului are ca efect generarea unor tranziții la ieșiri, filtrate de pulsații parazite care sunt generate prin închiderea/ruperea unui contact metalic. Verificați cu ajutorul unui osciloscop cu memorie apariția și filtrarea acestor pulsuri parazite.



3.2.8 Montajul de latch cu două inversoare de la punctul 3.2.7 este folosit pentru generarea manuală a semnalului de ceas, care determină tranziții la bistabile. Verificați tabelele de tranziție pentru fiecare dintre cele două tipuri de bistabile de pe panoul logic: bistabilul de tip D, din circuitul integrat **MMC 4013** și bistabilul de tip JK din circuitul integrat **MMC 4027**.



3.3 Probleme rezolvate

3.3.1 Se dă circuitul din figură realizat cu porți TTL standard.

- Să se explice funcționarea circuitului și să se deseneze formele de undă în nodurile 1, 2, 3 și 4.
- Să se calculeze frecvența de oscilație și să se explice de ce primul inversor din schemă trebuie să aibă caracteristică de transfer cu histerezis (trigger Schmitt).
- Există limitări în alegerea valorilor componentelor RC?

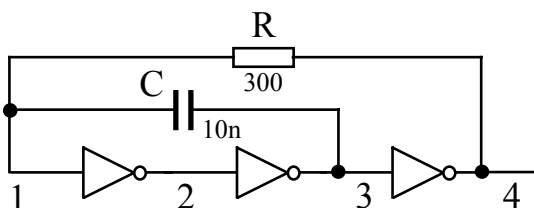


Fig. 3.16 Astabil cu inversoare

Rezolvare:

- Figura 5.2 reprezintă formele de undă rezultate prin simularea PSPICE:

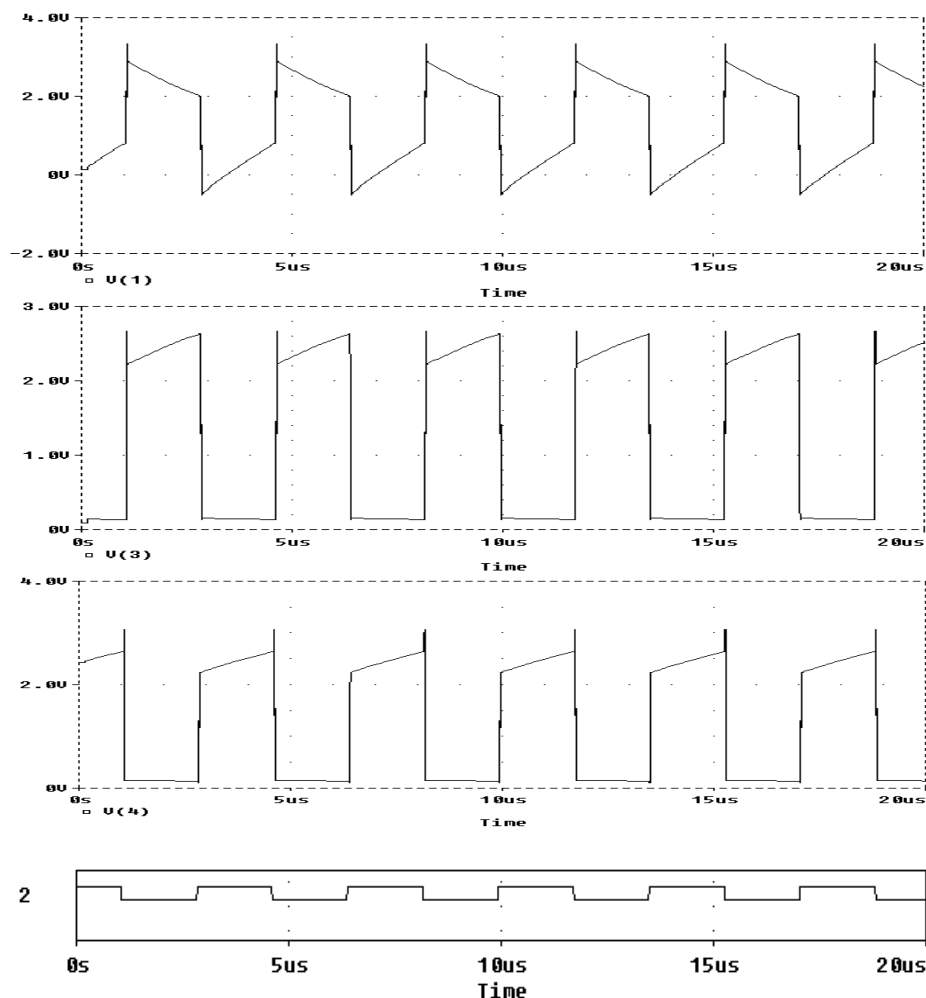


Fig. 3.17 Forma tensiunilor din cele 4 noduri ale circuitului

Este evident că semnalul din nodul 2 este un semnal numeric. Celelalte sunt interpretate ca semnale analogice. Funcționarea circuitului se bazează pe încărcarea și descărcarea condensatorului C prin rezistența R. Dacă $V(1) > 2V$, atunci $V(2) = 0$, $V(3) = 1$ și $V(4) = 0$ și condensatorul se încarcă de la nodul 3 la nodul 4. Tensiunea pe C fiind de semn contrar, prin încărcarea condensatorului $V(1)$ scade până la atingerea pragului de 2V la care se produce comutarea: $V(3) = 0$ care produce o scădere instantanee a lui $V(1)$ cu circa 2,4V, $V(4) = 1$ și se reia încărcarea condensatorului de la nodul 4 la nodul 3. Tensiunea $V(1)$ începe să crească, iar la atingerea pragului de 0,8V se produce o nouă comutare și ciclul se reia. Modelul PSpice pentru inversorul TTL folosește cele 2 praguri de 0,8V și 2V pentru comutare. Palierile semnalelor $V(3)$ și $V(4)$ nu sunt constante, datorită variațiilor de curent la încărcarea și descărcarea condensatorului.

b) Condensatorul se încarcă prin rezistența R de la -0,4V la +0,8V și se descarcă prin rezistența R de la +3,2V la +2V. Pentru calculul timpului de încărcare se particularizează relația:

$$u(t) = u(\infty) - [u(\infty) - u(0)] \cdot e^{-\frac{t}{RC}}$$

pentru condițiile la limită: $u(\infty) = 2,4V$, $u(t) = 0,8V$, $u(0) = -0,4V$. Se obține:

$$t_1 = -RC \cdot \ln \frac{u(\infty) - u(t)}{u(\infty) - u(0)} = -300\Omega \cdot 10nF \cdot \ln \frac{2,4V - 0,8V}{2,4V - (-0,4V)} = 1,678\mu s$$

Pentru calculul timpului de descărcare, condițiile la limită sunt: $u(t) = 2V$, $u(0) = 3,2V$ și $u(\infty) = 0V$. Rezultă :

$$t_2 = -RC \cdot \ln \frac{u(\infty) - u(t)}{u(\infty) - u(0)} = -300\Omega \cdot 10nF \cdot \ln \frac{-2V}{-3,2V} = 1,410\mu s$$

Perioada semnalului generat este $T = t_1 + t_2 = 1,678\mu s + 1,410\mu s \approx 3,1\mu s$, care corespunde unei frecvențe $f = \frac{1}{T} = 322,5KHz$. Perioada semnalelor obținute prin simulare PSPICE este $T \approx 3,5\mu s$, corespunzătoare unei frecvențe de 285,7 KHz.

Există o variație lentă a semnalului $V(1)$ care poate produce oscilația inversorului conectat între nodurile 1 și 2. Pentru tensiuni de intrare cuprinse între pragurile de 0,8V și 2V tranzistorii din etajul final sunt în regiunea activă normală și apare o reacție pozitivă (crește curentul de colector al lui T2, deci și potențialul bazei lui T3, scade tensiunea de ieșire, crește curentul de colector al lui T4, deci și cel de bază și curentul de colector al lui T2 va crește și mai mult).

c) Condensatorul poate avea orice valoare, dar trebuie să fie nepolarizat, însă valoarea maximă a rezistenței nu trebuie să depășească în principiu 300 Ω , pentru că intervine curentul de intrare în poartă care afectează marginea de zgomot (vezi problema 1.3.1). $\square$

3.3.2 Să se reprezinte formele de undă în timp și să se calculeze durata stării cvasistabile pentru monostabilul realizat cu porți ȘI-NU în tehnologie TTL standard

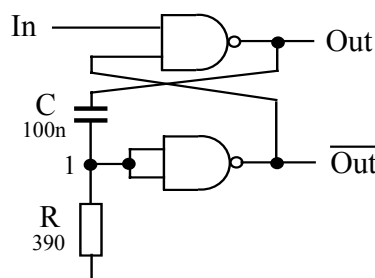


Fig. 3.18 Monostabil cu două porți ȘI-NU în tehnologie TTL standard

Rezolvare:

Formele de undă obținute prin simulare PSPICE sunt date în figura 3.19. Pentru a calcula durata impulsului generat folosim relația $u(t) = u(\infty) - [u(\infty) - u(0)] \cdot e^{-\frac{t}{RC}}$, unde: $u(t) = 1,4V$, $u(0) = 2,4V$ și $u(\infty) = 0V$. Rezultă : $T_M = -RC \cdot \ln \frac{u(\infty) - u(t)}{u(\infty) - u(0)} = -390\Omega \cdot 100nF \cdot \ln \frac{1,4V}{2,4V} \approx 21\mu s$, valoare foarte apropiată de cea din figura 3.19.

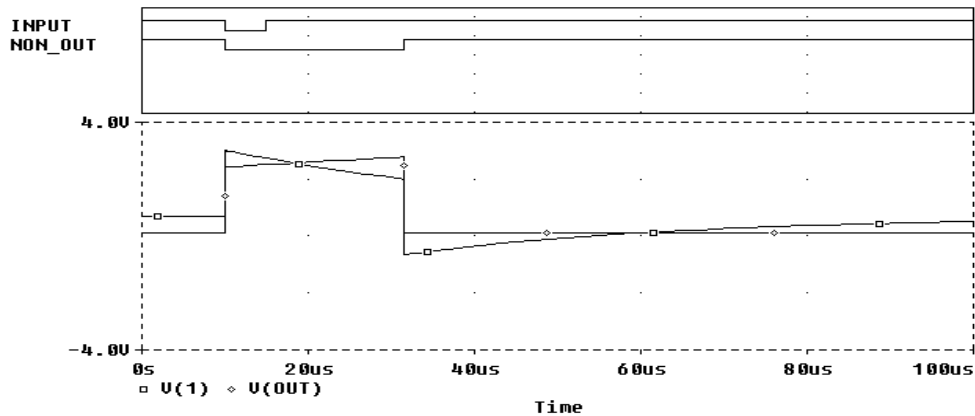


Fig. 3.19 Formele de undă pentru circuitul din figura 3.18

3.3.3 Se consideră astabilul realizat cu circuite CMOS din figura 3.20. Desenați formele de undă în nodurile 1, 2 și 3 ale circuitului și calculați frecvența de oscilație.

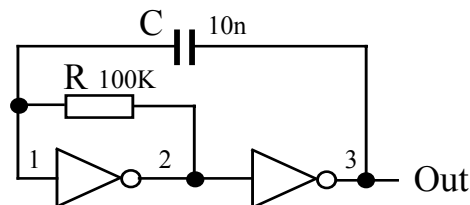


Fig. 3.20 Astabil cu porți CMOS

Rezolvare:

Ca și la porțile TTL, modelele PSPICE pentru porțile CMOS folosesc două praguri diferite pentru comutare: 30% și 70% din valoarea tensiunii de alimentare. Din relația cunoscută rezultă

$$f \approx \frac{1}{0,7 \cdot RC} = \frac{1}{0,7 \cdot 100K\Omega \cdot 10nF} = 1,428KHz.$$

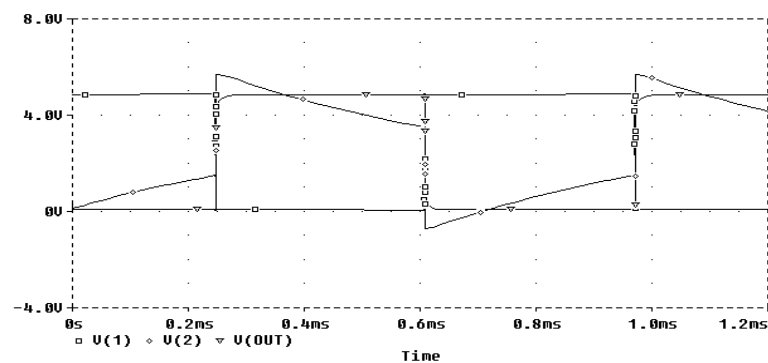


Fig. 3.21 Formele de undă pentru circuitul din figura 3.20

3.3.4 Să se reprezinte diagramele de timp pentru astabilul din figura 3.22. Să se calculeze frecvența și factorul de umplere pentru semnalul generat, dacă:

a) se utilizează o poartă ȘI-NU cu două intrări cu trigger Schmitt din familia TTL standard. Se cunosc: $V_{OH} = 3,6V$, $V_{OL} = 0,2V$, $I_{IL} \cdot R = 0,2V$, $V_{p1} = 1,1V$, $V_{p2} = 1,9V$, $R = 1K\Omega$;

b) se utilizează o poartă ȘI-NU cu trigger Schmitt din familia CMOS. Se cunosc: $V_{DD} = 5V$, $V_{p1} = 2,3V$, $V_{p2} = 3,3V$, $I_{IL} = I_{IH} = 0$, $R = 10K\Omega$.

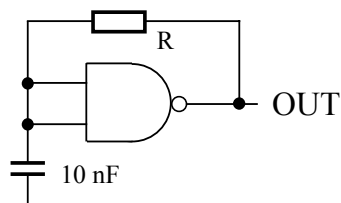


Fig. 3.22 Circuit astabil cu trigger Schmitt

Rezolvare:

Funcționarea circuitului este descrisă de formele de undă din figura 3.23. Tensiunea pe condensator la momentul de timp t este:

$$u(t) = u(\infty) - [u(\infty) - u(0)] \cdot e^{-\frac{t}{RC}}, \text{ unde } u(\infty) = V_{OH}, u(0) = V_{p1}, \text{ iar } u(t_1) = V_{p2}$$

$$\text{Rezultă de aici valoarea lui } t_1: t_1 = RC \cdot \ln \frac{V_{OH} - V_{p1}}{V_{OH} - V_{p2}}.$$

Pentru calculul lui t_2 , mărimile devin: $u(\infty) = V_{OL} + I_{IL} \cdot R$, $u(0) = V_{p2}$ și $u(t_2) = V_{p1}$

$$\text{Se obține valoarea lui } t_2: t_2 = RC \cdot \ln \frac{V_{p2} - V_{OL} - I_{IL} \cdot R}{V_{p1} - V_{OL} - I_{IL} \cdot R}.$$

a) Dacă înlocuim acum numeric, cu valorile pentru TTL, obținem:

$$t_1 = RC \cdot \ln \frac{V_{OH} - V_{p1}}{V_{OH} - V_{p2}} = 10^3 \cdot 10^{-8} \cdot \ln \frac{3,6 - 1,1}{3,6 - 1,9} \approx 3,9 \mu s;$$

$$t_2 = RC \cdot \ln \frac{V_{p2} - V_{OL} - I_{IL} \cdot R}{V_{p1} - V_{OL} - I_{IL} \cdot R} = 10^3 \cdot 10^{-8} \cdot \ln \frac{1,9 - 0,2 - 0,2}{1,1 - 0,2 - 0,2} \approx 7,6 \mu s,$$

deci $f = 87 \text{ KHz}$, iar factorul de umplere este 0,34.

b) Similar, înlocuind valorile pentru CMOS, se obține $t_1 \approx 4,6 \mu s$, $t_2 \approx 3,6 \mu s$, deci frecvența de 122 KHz și un factor de umplere de 0,56.

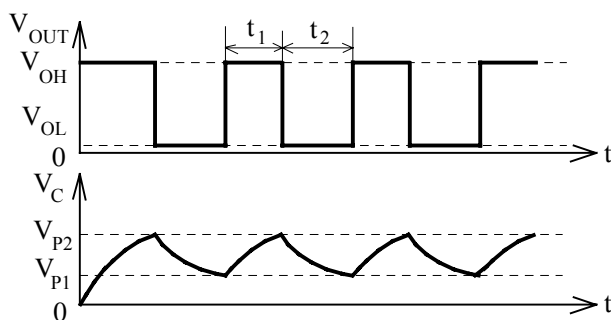


Fig. 3.23 Circuit astabil cu trigger Schmitt

□

3.3.5 Să se implementeze:

a) un bistabil de tip D, folosind un bistabil de tip JK;

b) un bistabil de tip JK, folosind un bistabil de tip D;

Comparați cele două soluții din punct de vedere al gradului de structurare.

Rezolvare:

a) Avem la dispoziție un bistabil de tip JK și dorim să realizăm un circuit care să aibă comportarea unui bistabil de tip D. Problema se reduce la sinteza unei structuri combinaționale, conform schemei de mai jos:

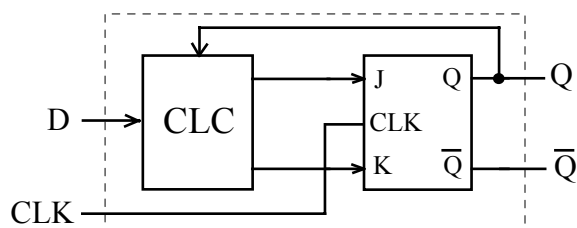


Fig. 3.24 Structura bistabilului de tip D

Dacă noul circuit este superior structurat, atunci reacția care aduce la intrarea în CLC informația asupra stării prezente a sistemului este necesară. În caz contrar această legătură va dispărea în procesul de minimizare a funcțiilor J și K.

D	Q	Q ⁺	J	K
0	0	0	0	x
0	1	0	x	1
1	0	1	1	x
1	1	1	x	0

$\bar{Q}$	$\bar{D}$	D
0	0	1
1	0	x
0	1	x
1	1	0

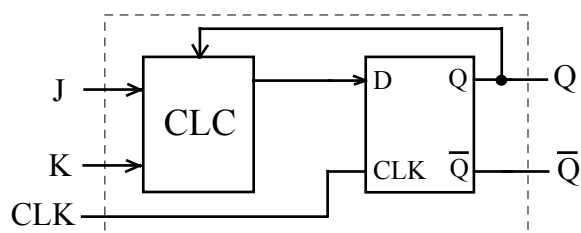
$J = D$

$\bar{Q}$	$\bar{D}$	D
0	0	1
1	0	x
0	1	x
1	1	0

$K = \bar{D}$

Fig. 3.25 Sinteza bistabilului de tip D

b) Avem la dispoziție un bistabil de tip D și dorim să realizăm un circuit care să aibă comportarea unui bistabil de tip JK.



J	K	Q	Q ⁺	D
0	0	0	0	0
0	0	1	1	1
0	1	0	0	0
0	1	1	0	0
1	0	0	1	1
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0

$\bar{Q}$	$\bar{J}$	J	$\bar{K}$	K
0	0	0	1	1
1	0	0	0	1
0	1	1	0	0
1	1	1	0	0

$D = J \cdot \bar{Q} + \bar{K} \cdot Q$

Fig. 5.3 Structura și sinteza bistabilului de tip JK

Bistabilul JK are un grad de structurare superior bistabilului D (conține o reacție în plus). □