

1 FAMILII LOGICE

Aplicațiile din acest capitol își propun să prezinte familiile de porți logice TTL și CMOS, să facă un studiu comparativ al parametrilor și caracteristicilor unor porți logice realizate în cele două tehnologii fundamentale și să analizeze sursele posibile de zgomote în sistemele reale cu circuite integrate numerice.

1.1 Considerații teoretice

1.1.1 Poarta TTL standard

Structura porții ȘI-NU (NAND) în tehnologie TTL standard este dată în figura 1.1. Dacă tensiunea pe cel puțin una dintre intrări este nulă, tranzistorul T1 are cel puțin o joncțiune polarizată direct și potențialul bazei lui T1 este de circa 0,6V. În aceste condiții, tranzistorii T2 și T3 sunt blocați, iar tranzistorul T4 conduce, rezultând la ieșire starea 1 logic. Tensiunea la ieșire este V_{OH} (**V**oltage **O**utput **H**igh):

$$V_{OH} = V_{CC} - V_{BE(T4)} - V_{F(D1)}$$

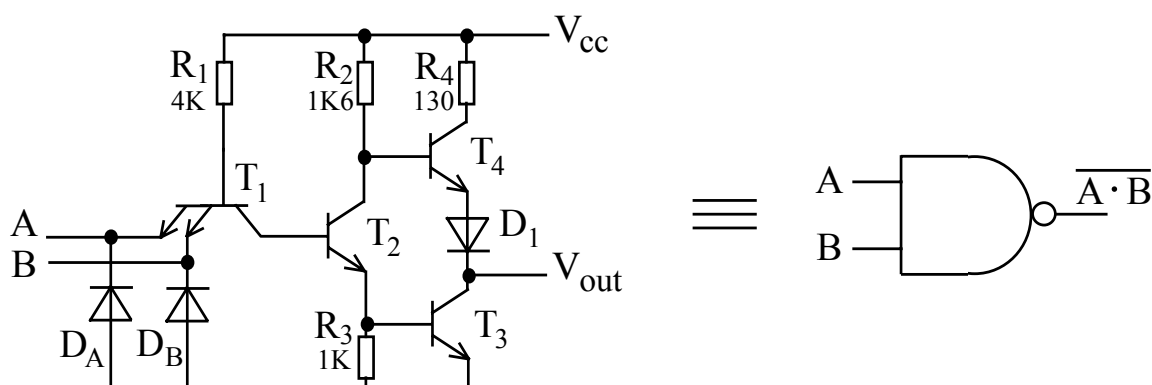


Fig. 1.1 Structura porții ȘI-NU în tehnologie TTL standard

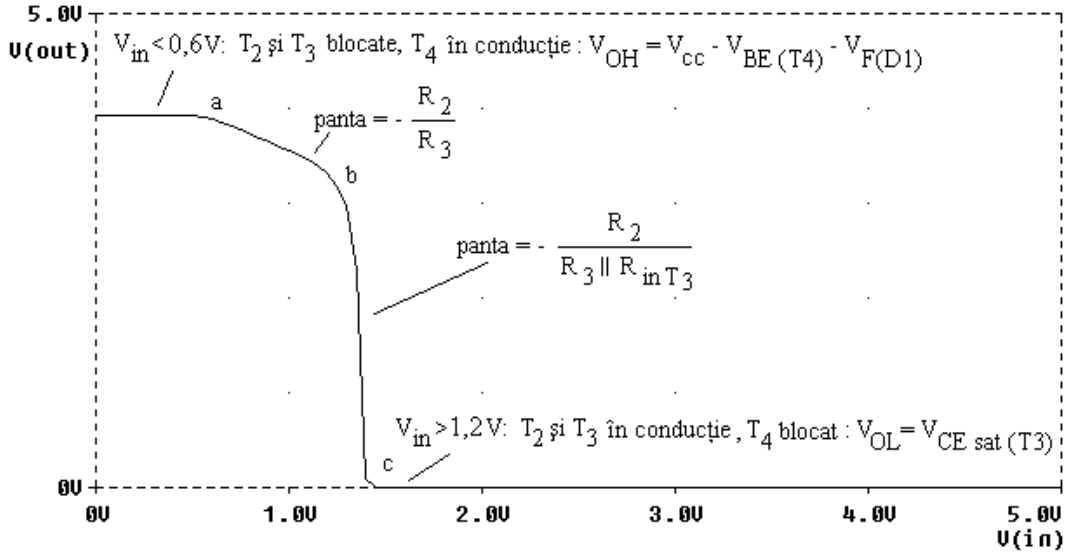


Fig. 1.2 Caracteristica de transfer a inversorului TTL standard

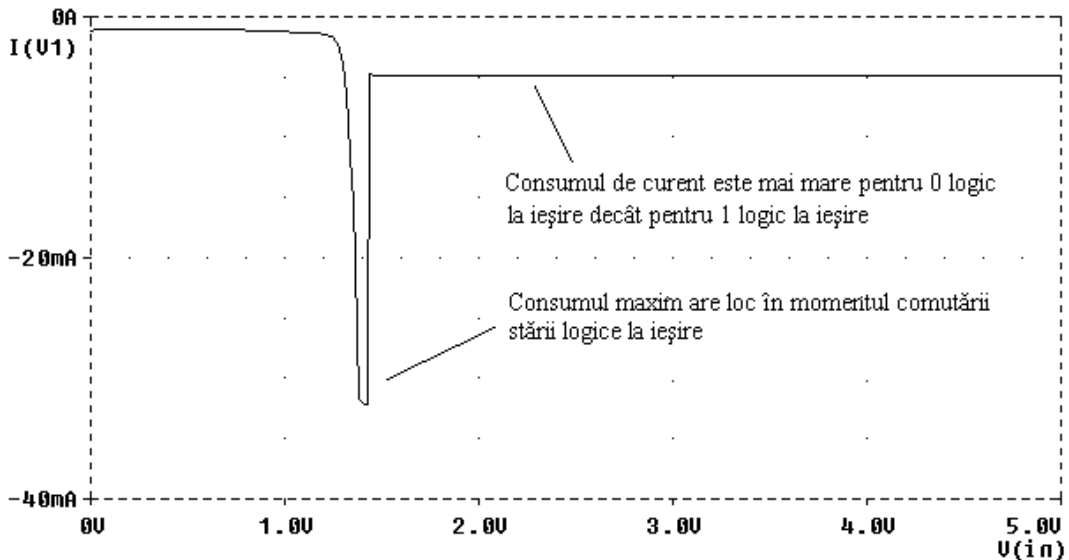


Fig. 1.3 Consumul de curent de la sursa de alimentare

Dacă tensiunile pe intrări sunt în 1 logic, joncțiunea BC a tranzistorului T1 conduce, polarizând baza tranzistorului T2. Intrarea în conducție a lui T2 determină și conducția lui T3, rezultând la ieșire 0 logic. Tensiunea la ieșire este V_{OL} (**V**oltage **O**utput **L**ow):

$$V_{OL} = V_{CEsat}(T3)$$

Caracteristica $V_{out} = f(V_{in})$ se numește caracteristica de transfer de tensiune a porții și are forma din figura 1.2, pentru o anumită tensiune de alimentare și temperatură. Tensiunea de intrare se aplică simultan pe cele 2 intrări A și B ale porții, care devine astfel un simplu inversor. Variația consumului de curent de la sursa de alimentare se poate vedea pe caracteristica din figura 1.3.

Standardul TTL garantează anumite valori de tensiune pentru cele patru nivele logice de ieșire și intrare în poarta logică. Pentru o încărcare a ieșirii cu 10 intrări TTL standard ($fan-out = 10$), aceste nivele garantate sunt:

- V_{IL} , nivelul de tensiune necesar pentru a avea 0 logic la intrare: $V_{IL} \leq V_{IL\max} = 0,8 \text{ V}$
- V_{IH} , nivelul de tensiune necesar pentru a avea 1 logic la intrare: $V_{IH} \geq V_{IH\min} = 2 \text{ V}$
- V_{OL} , nivelul de tensiune de la ieșire în starea 0 logic: $V_{OL} \leq V_{OL\max} = 0,4 \text{ V}$
- V_{OH} , nivelul de tensiune de la ieșire în starea 1 logic: $V_{OH} \geq V_{OH\min} = 2,4 \text{ V}$.

Caracteristica $I_{in} = f(V_{in})$ se numește caracteristică de intrare și este reprezentată în figura 1.4, pentru o anumită tensiune de alimentare și temperatură. Caracteristica $V_{out} = f(I_{out})$ se numește caracteristică de ieșire. Există două caracteristici de ieșire, câte una pentru fiecare din cele două stări logice (figurile 1.5 și 1.6). Figura 1.7 prezintă o comparație între caracteristicile de transfer pentru diverse grupe ale familiei logice TTL. Se observă asemănarea lor, deci putem spune că toate grupele TTL se pot interconecta direct, cu observația că frecvența de lucru trebuie să fie mai mică decât frecvența maximă a celor mai lente circuite din structură.

Structura porții ȘI-NU cu colector în gol (*open collector*) este reprezentată în figura 1.8. În circuitul de ieșire a tranzistorului cu colector în gol se conectează rezistența R_C . Această modificare permite deplasarea nivelului semnalului logic de la ieșire din TTL (circa 0 - 4V) în 0 - V_{cc} , unde V_{cc} poate fi o tensiune mai mare de 5V. Configurația cu colector în gol permite și realizarea funcției logice ȘI, prin conectarea directă a ieșirilor, fără a mai utiliza alte porți logice în acest scop. Circuitul astfel obținut se numește ȘI CABLAT, deoarece funcția ȘI a fost obținută numai prin cablarea împreună a ieșirilor.

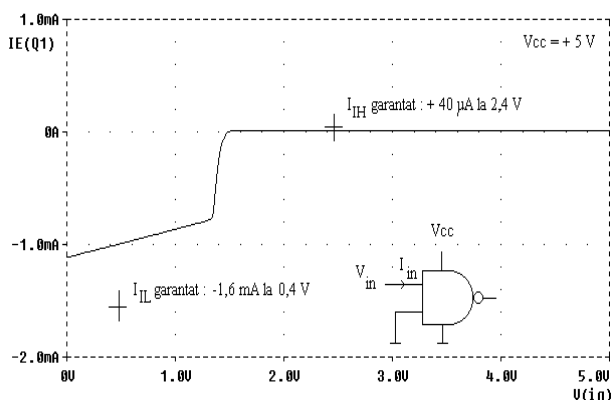


Fig. 1.4 Caracteristica de intrare

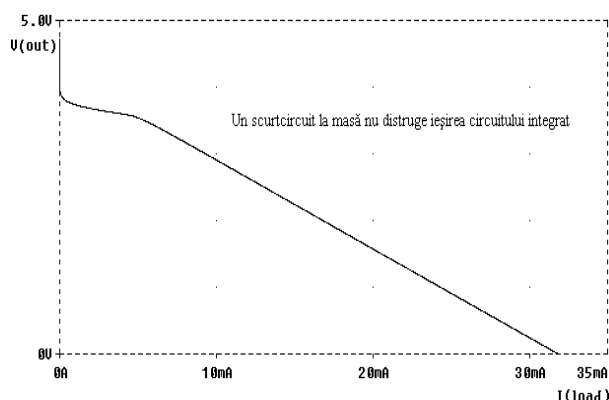


Fig. 1.5 Caracteristica de ieșire în 1 logic

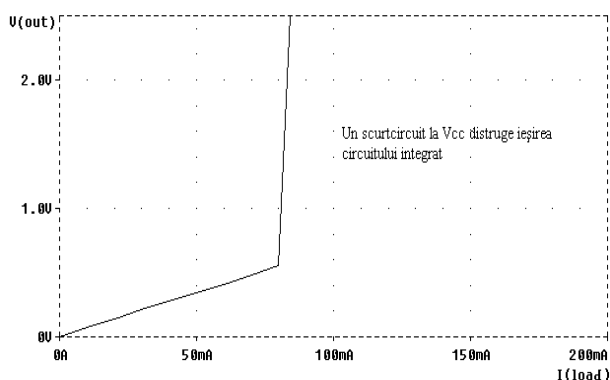


Fig. 1.6 Caracteristica de ieșire în 0 logic

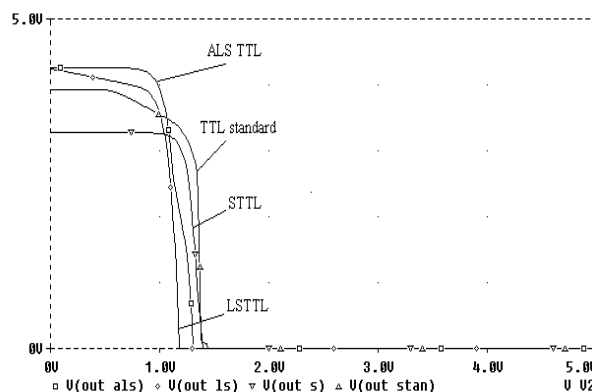


Fig. 1.7 Diverse grupe TTL

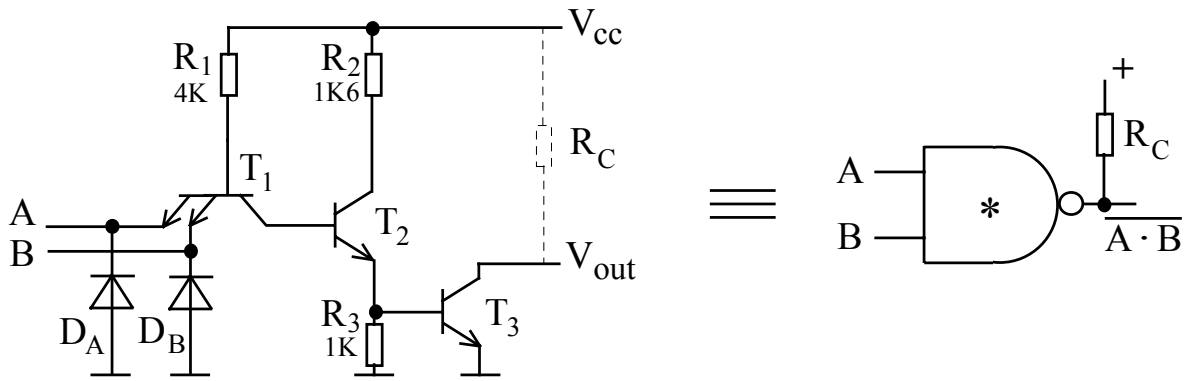
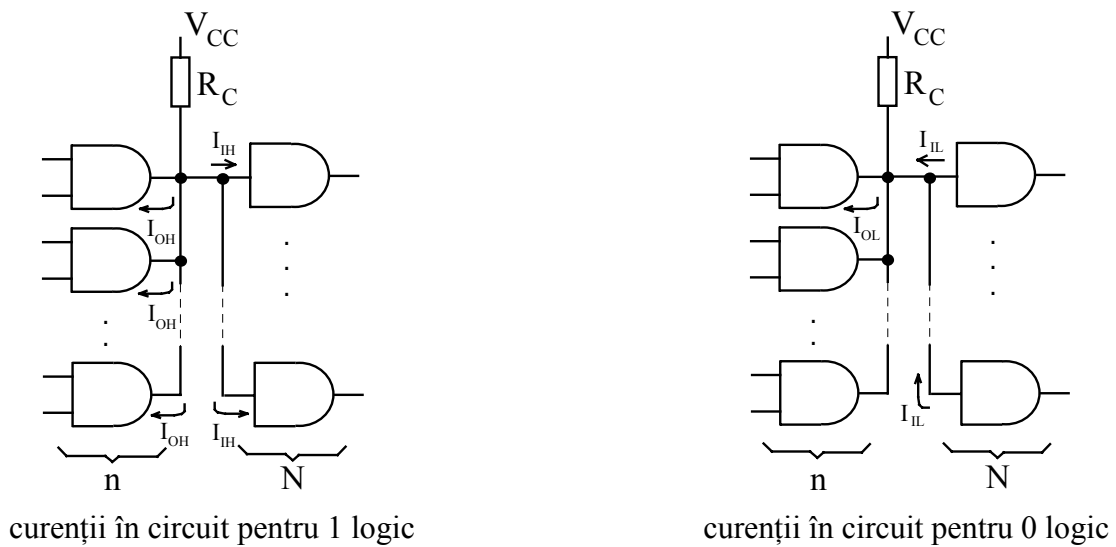


Fig. 1.8 Structura porții ȘI-NU cu colector în gol

Fig. 1.9 Calculul rezistenței R_C

Dezavantajul acestei structuri este dat de faptul că rezistența de ieșire este dată de valoarea rezistenței R_C , valoare mai mare decât rezistența de ieșire a etajului în contratimp de la poarta standard.

Valoarea rezistenței R_C depinde de numărul n al porților cu colector în gol conectate în paralel și de numărul N al sarcinilor comandate. Din condiția de respectare a nivelelor standard de tensiune pentru fiecare dintre cele două nivele logice rezultă două valori pentru R_C , iar valoarea rezistenței se alege în acest interval.

pentru 1 logic:

$$V_{OH} = V_{CC} - (n \cdot I_{OH} + N \cdot I_{IH}) \cdot R_C \geq V_{OH \min}, \text{ deci } R_{C \max} = \frac{V_{CC} - V_{OH \min}}{n \cdot I_{OH \max} + N \cdot I_{IH \max}}$$

pentru 0 logic:

$$V_{OL} = V_{CC} - (I_{OL} - N \cdot I_{IL}) \cdot R_C \leq V_{OL \max}, \text{ deci } R_{C \min} = \frac{V_{CC} - V_{OL \max}}{I_{OL \max} - N \cdot I_{IL \max}}$$

1.1.2 Poarta logică CMOS

Configurația logică fundamentală la circuitele CMOS (Complementary-symmetry MOS) este cea de inversor, configurație prezentată în figura 1.10. Dacă la intrare se aplică nivelul logic 1 (tensiunea V_+), tranzistorul T1 intră în conducție și tranzistorul T2 se blochează, iar la ieșire nivelul logic este 0 (o tensiune practic nulă). La aplicarea unei tensiuni nule pe intrare se blochează T1 și intră în conducție T2, ieșirea fiind în acest caz la nivelul logic 1 (tensiunea de alimentare V_+).

Caracteristica $V_{out} = f(V_{in})$ se numește caracteristica de transfer de tensiune a porții, iar caracteristica $I(V_+) = f(V_{in})$ este caracteristica de curent (în figura 1.10, $I(V_+)$ este notat cu $I(VDD)$; valoarea negativă a curentului indică faptul că acesta este absorbit de la sursă).

Sunt puse în evidență 5 regiuni pe parcursul variației tensiunii de intrare în domeniul $0..V_+$: - în regiunea I, pentru $V_{in} \leq V_{TN}$, unde V_{TN} este tensiunea prag pentru tranzistorul T1 (nMOS), T1 blocat și T2 este în conducție liniară, iar $V_{out} = V_+$. Consumul de curent de la sursa de alimentare este practic nul, unul dintre tranzistoare fiind blocat; - în regiunea II, definită pentru intervalul $V_{TN} < V_{in} \leq V_{out} - |V_{TP}|$, T1 este saturat și T2 rămâne în conducție liniară. V_{TP} este tensiunea prag pentru tranzistorul T2 (pMOS) și are o valoare negativă; - în regiunea III, definită pentru intervalul $V_{out} - |V_{TP}| < V_{in} \leq V_{out} + V_{TN}$, ambele tranzistoare sunt saturate, iar consumul de curent de la sursă este maxim. Regiunea IV oferă o comportare identică cu regiunea II, dar de data aceasta stările tranzistoarelor sunt inversate, adică T1 este în conducție liniară, iar T2 este în saturație, iar în regiunea V, tranzistorul T1 rămâne în conducție liniară, iar T2 intră în blocare.

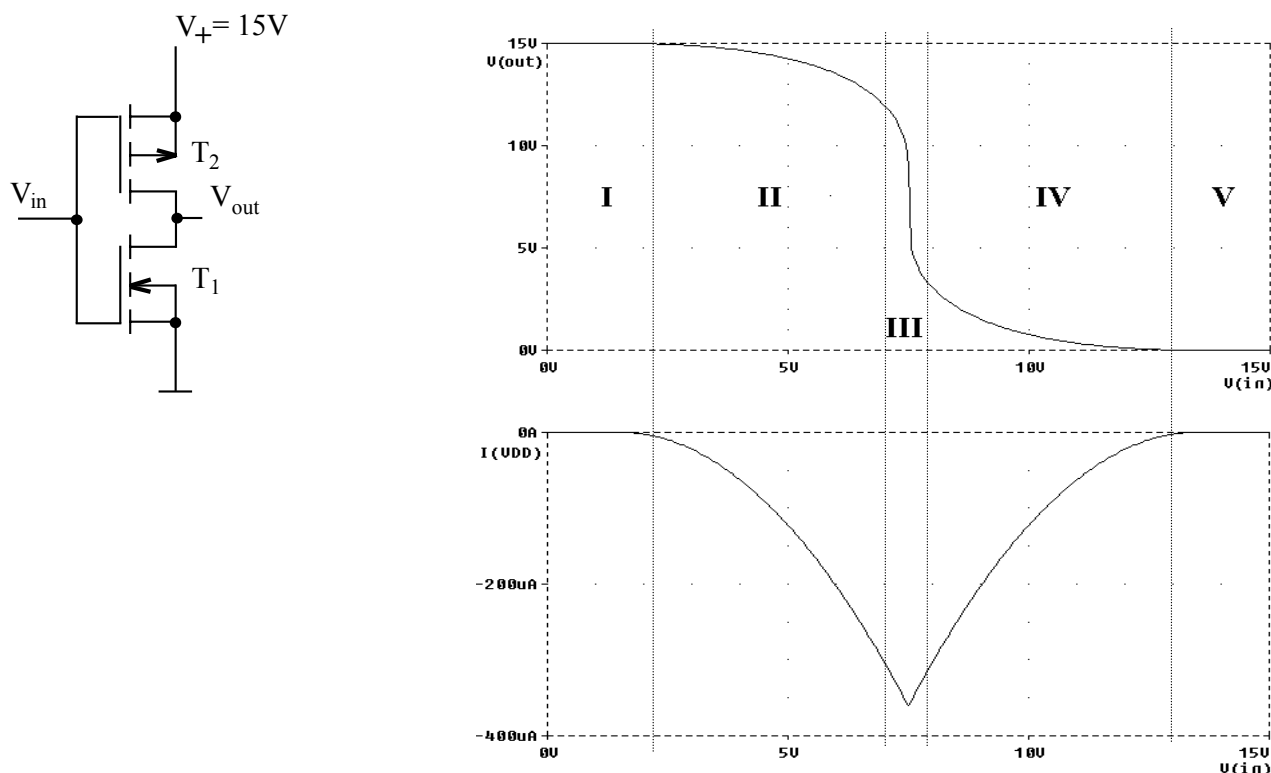


Fig. 1.10 Structura de inversor CMOS și caracteristicile de transfer

Datorită faptului că cele două tranzistoare din structură au caracteristici aproape identice, pragul de basculare a stării logice este situat la jumătatea excursiei semnalului logic de intrare și la jumătatea tensiunii de alimentare, frontul crescător al semnalului de ieșire este aproximativ egal cu cel descrescător, iar consumul static de curent este practic nul (familie logică ideală).

Configurația unei porți logice în tehnologie CMOS este direct legată de funcția logică cerută. Structura din figura 1.11 este o poartă ȘI-NU cu 2 intrări, dar ieșirea din nodul 4 este trecută prin alte două structuri inversoare ca cele din figura 1.10 pentru a obține o caracteristică cât mai apropiată de una ideală și pentru a asigura simetria ieșirii față de V_+ și față de masă. Ieșirea din nodul 7 al structurii este ieșirea porții logice, ieșire care este disponibilă la unul dintre pinii circuitului integrat.

Simulările s-au făcut pentru o tensiune de alimentare de +15V, dar, la circuitele CMOS din seria 4000, de care ne ocupăm la laborator, tensiunile de alimentare pot fi alese între +3V (tensiune impusă de existența obligatorie a zonelor I și V din figura 1.10, știind că $V_{TN} \approx |V_{TP}| \approx 1,5V$) și +18V, sau chiar +20V, în funcție de structura circuitului respectiv.

Nivelele logice de ieșire și intrare garantate prin standard sunt:

- V_{IL} , nivelul de tensiune necesar pentru a avea 0 logic la intrare: $V_{IL} \leq V_{IL\max} = 30\% \cdot V_+$
- V_{IH} , nivelul de tensiune necesar pentru a avea 1 logic la intrare: $V_{IH} \geq V_{IH\min} = 70\% \cdot V_+$
- V_{OL} , nivelul de tensiune de la ieșire în starea 0 logic: $V_{OL} \leq V_{OL\max} = 0,05 V$
- V_{OH} , nivelul de tensiune de la ieșire în starea 1 logic: $V_{OH} \geq V_{OH\min} = V_+ - 0,05 V$

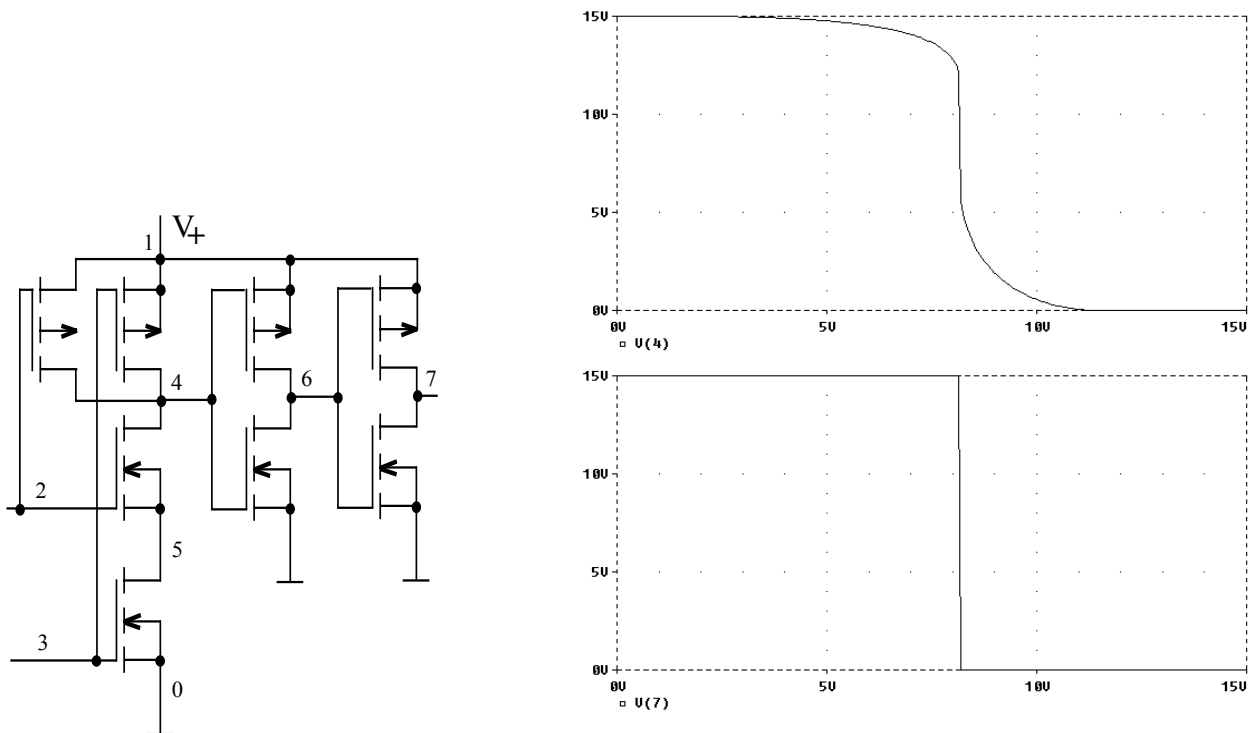


Fig. 1.11 Structura porții ȘI-NU cu 2 intrări și caracteristici de transfer

Imunitatea la zgomot se definește ca fiind tensiunea maximă de zgomot prezentă la intrare, care nu comută parazit poarta. Se observă că marginile de zgomot garantate sunt de 30% din valoarea tensiunii de alimentare, dar practic ele pot atinge 45% din valoarea tensiunii de alimentare ([Ardelean, 1986]).

Impedanța de intrare de curent continuu este de circa $10^{12} \Omega$, deoarece intrarea inversorului este complet izolată de substrat prin dielectricul capacitorului poartă-substrat, care are o grosime de circa 1000 Å. Orice sursă de tensiuni electrostatice poate astfel genera o tensiune mare pe poartă, care să producă distrugerea ireversibilă a stratului izolator, prin străpungere. Această impedanță mare este atenuată în mare măsură de dispozitivele amplasate pentru protecția intrării (vezi figura 1.12) și de elementele parazite proprii circuitului integrat și montajului în care acesta se găsește. Cu toate acestea, valoarea impedanței de intrare depășește 10 M Ω , fapt ce influențează favorabil posibilitatea comandării în curent continuu a unui număr mare de intrări CMOS. Aici, practic nu sunt limite teoretice ale "fan-out"-ului, el fiind limitat de fapt numai de sarcina capacitivă de circa 5pF pentru fiecare intrare CMOS.

De remarcat un parametru de catalog care surprinde la prima vedere, deoarece curentul de intrare la un circuit CMOS este considerat de obicei nul:

$$I_I - \text{DC input current} = \pm 10 \text{ mA}$$

Este vorba de curentul maxim ce poate trece prin diodele din rețeaua de protecție, în orice sens, deoarece aceste diode se pot deschide fie în conducție directă, fie în conducție inversă, prin efect Zener. Avem de-a face și aici cu o valoare maximă absolută, ca și tensiunea de alimentare de +18V! Depășirea acestor valori are ca efect distrugerea cu mare probabilitate a structurii!

Comportamentul ieșirii este preponderent rezistiv, un tranzistor MOS având o rezistență drenă-sursă mai mică de 1K Ω în conducție și mai mare de 10M Ω în blocare. Acest lucru determină o sensibilitate crescută la sarcini capacitive de ieșire, sarcini ce influențează viteza de comutare și puterea consumată de circuit. Pe de altă parte, limitarea curentului de saturație la tranzistoarele MOS asigură protecția ieșirilor la scurtcircuite accidentale la masă sau la V_+ , cu condiția ca valoarea tensiunii de alimentare, durata scurtcircuitului și numărul de ieșiri aflate în scurtcircuit să nu provoace distrugerea circuitului integrat prin ambalare termică.

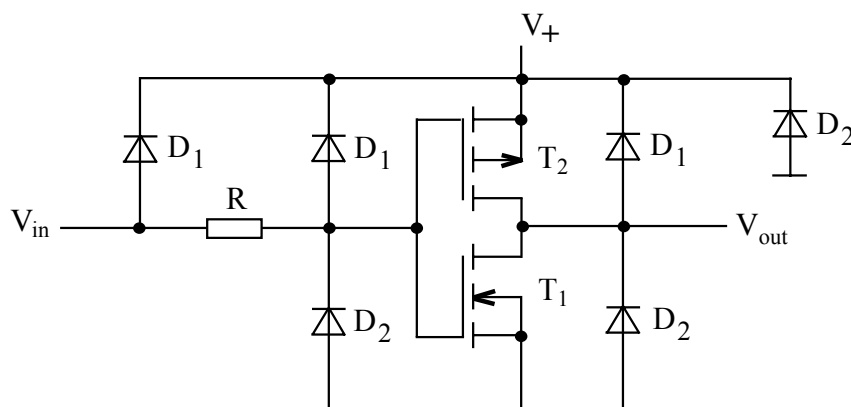


Fig. 1.12 Circuitul de protecție a intrării la seria CMOS 4000

1.1.3 Zgomote și reflexii

Zgomotele sunt semnale perturbatoare, nedorite, care pot afecta funcționarea structurilor numerice. La aplicarea unui algoritm de sinteză a unei structuri numerice proiectantul folosește modele teoretice în care ecuațiile boolene exprimă perfect funcțiile dorite. La implementarea acestor ecuații cu circuite integrate reale se constată că porțile logice au anumite limitări, iar firele de conexiune pot distorsiona forma semnalului transmis. Ne putem aștepta în anumite condiții la o funcționare incorectă a structurilor numerice, iar dacă aceasta este aleatoare, evenimentul este cu atât mai grav.

Structurile numerice implementate în tehnologia CMOS - 4000 se apropie de modelul ideal. Fiind circuite lente, ele sunt în mică măsură afectate de zgomote și reflexii. Familiile logice rapide pot produce însă mari neplăceri, chiar și în cazul unor conexiuni relativ scurte (de ordinul centimetrilor).

Zgomotul generat de reflexii pe liniile de transmisiune

Reflexiile se produc la capetele firelor sau traseelor de circuit imprimat în cazul neadaptării dintre impedanța de ieșire și impedanța liniei. Unui semnal care parcurge linia de transmisiune aceasta i se înfățișează ca o impedanță constantă numită impedanță caracteristică. Dacă se neglijează valorile rezistențelor distribuite și se notează cu L inductanța liniei pe unitatea de lungime și cu C capacitatea ei pe unitatea de lungime, atunci impedanța caracteristică a liniei este ([Nicula, 1994]):

$$Z_0 = \sqrt{\frac{L}{C}}$$

iar viteza de propagare a semnalului pe linia de transmisiune este:

$$v = \frac{1}{\sqrt{L \cdot C}}$$

Considerăm acum circuitul din figura 1.13, care generează la momentul de timp $t = 0$ o tranziție de la 0 la V_d , tranziție care se propagă pe linie până la destinația cu impedanța terminală Z_t .

La propagarea pe linie $Z_0 = \frac{V_d}{I_d}$, unde I_d este curentul care circulă pe linie datorită tensiunii V_d . Tensiunea și curentul parcurg linia ca o funcție treaptă, așa cum se vede în figura 1.13. Când tranziția atinge destinația, aceasta se prezintă ca o impedanță Z_t . Dacă $Z_t = Z_0$ atunci legea lui Ohm este în continuare satisfăcută și nu apar reflexii. Dacă însă $Z_t \neq Z_0$, tensiunea și curentul trebuie să se modifice pentru a asigura verificarea legii lui Ohm și la bornele rezistenței terminale. Schimbarea are ca efect apariția unui semnal tranzitoriu numit reflexie care va străbate linia în sens invers, de la destinație la sursă. Dacă $Z_t > Z_0$ acest semnal se va aduna la cel original, iar dacă $Z_t < Z_0$ se va scădea din acesta.

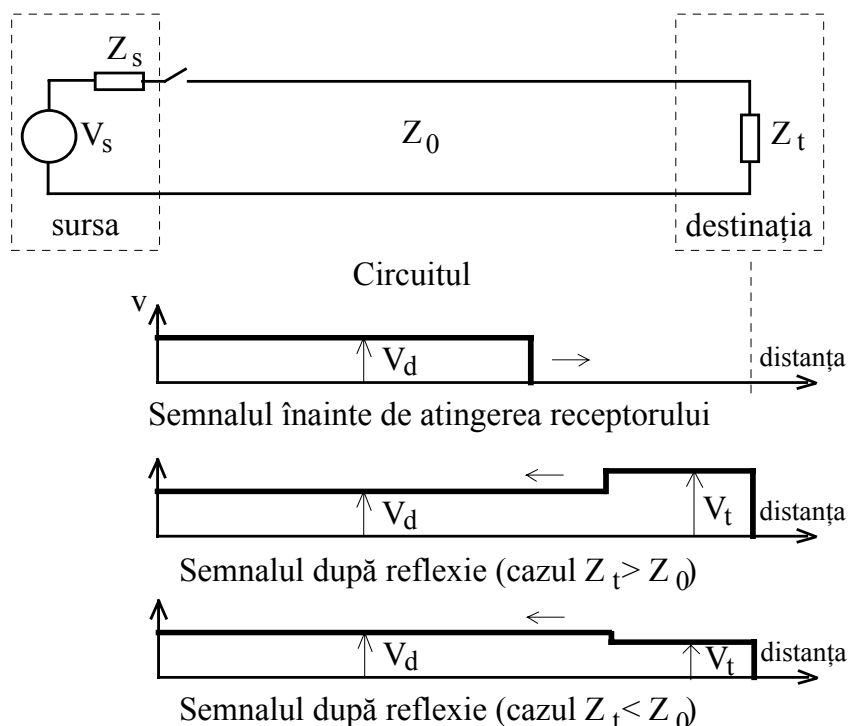


Fig. 1.13 Reflexiile pe liniile de transmisiune

Dacă folosim indicii d pentru semnalele directe, i pentru cele inverse și t pentru cele tranzitorii, atunci putem scrie legile lui Kirchhoff considerând rezistența terminală ca un sistem închis:

$$I_t = I_d + I_i \quad \text{și} \quad V_t = V_d + V_i$$

Conform legii lui Ohm: $Z_t = \frac{V_t}{I_t}$ pe sarcină, $Z_0 = \frac{V_d}{I_d}$ înainte de sarcină, și $Z_0 = \frac{V_i}{-I_i}$ după sarcină. Prin rezolvarea sistemului format din ecuațiile de mai sus se deduce valoarea saltului de tensiune în funcție de impedanța caracteristică și cea de terminație:

$$V_i = V_d \cdot \frac{Z_t - Z_0}{Z_t + Z_0}$$

Raportul $K = \frac{Z_t - Z_0}{Z_t + Z_0}$ se numește coeficientul de reflexie a tensiunii și măsoară raportul dintre tensiunea unei reflectate și tensiunea unei directe.

Unda se va propaga în continuare de la sarcină spre sursă, în sens invers. Când unda reflectată atinge sursa se poate produce o nouă reflexie dacă Z_0 este diferită de Z_s . Reflexiile vor continua între sursă și destinație însă amplitudinea lor este atenuată datorită pierderilor prin rezistențele ohmice ale liniei, care au fost neglijate până acum.

Efectul reflexiilor se materializează prin apariția unor oscilații care însoțesc tranzițiile între cele două nivele logice. Aceste oscilații pot fi cauza funcționării necorespunzătoare a unui sistem numeric.

Există o metodă grafică care permite analiza reflexiilor pe linii, cunoscută ca metoda diagramelor lui Bergeron. Ea folosește caracteristicile de intrare și ieșire ale

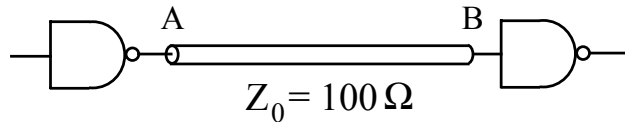


Fig. 1.14 Interconexiunea dintre 2 porți TTL standard

porților studiate și presupune cunoscută impedanța caracteristică a liniei. Vom exemplifica metoda pentru două porți TTL standard conectate printr-o linie cu impedanța caracteristică de 100Ω (pentru circuite imprimate Z_0 are valori cuprinse între 80Ω și 200Ω).

Figura 1.15 prezintă caracteristicile de intrare și cele de ieșire pentru cele 2 stări logice ale unui circuit tipic din seria TTL standard.

Prima diagramă este utilizată pentru evaluarea tranziției logice din 0 în 1. Dreapta de pantă Z_0 ce reprezintă linia de transmisie va intersecta caracteristica de ieșire în starea logică 1, punct care va determina la momentul de timp t_0 tensiunea de ieșire a porții emițătoare, tensiune de circa $1,75\text{ V}$. Din acest moment panta liniei de transmisie devine $-Z_0$ și de această dată va intersecta caracteristica de intrare.

Pentru evaluarea tranziției logice din 1 în 0 se folosește a doua diagramă. Dreapta de pantă Z_0 va intersecta caracteristica de ieșire în starea logică 0 la circa $0,25\text{V}$. Din acest punct, dreapta cu panta modificată intersectează caracteristica de intrare la circa $-1,5\text{V}$, valoarea tensiunii în punctul B, și așa mai departe până la amortizarea reflexiilor.

Formele de undă rezultate în urma tranzițiilor sunt reprezentate în figura 1.16, iar figura 1.17 arată câteva forme de undă vizualizate pe osciloscop pentru porțile TTL standard. S observă că poarta de ieșire comută normal, în ciuda reflexiilor existente pe linia de intrare, dar aceste reflexii pun în pericol funcționarea corectă a circuitului. La ora actuală, pachetele CAD care permit analiza prin simulare a sistemelor numerice, cum ar fi, de exemplu, Protel 99 SE, permit și simularea reflexiilor care apar pe linii.

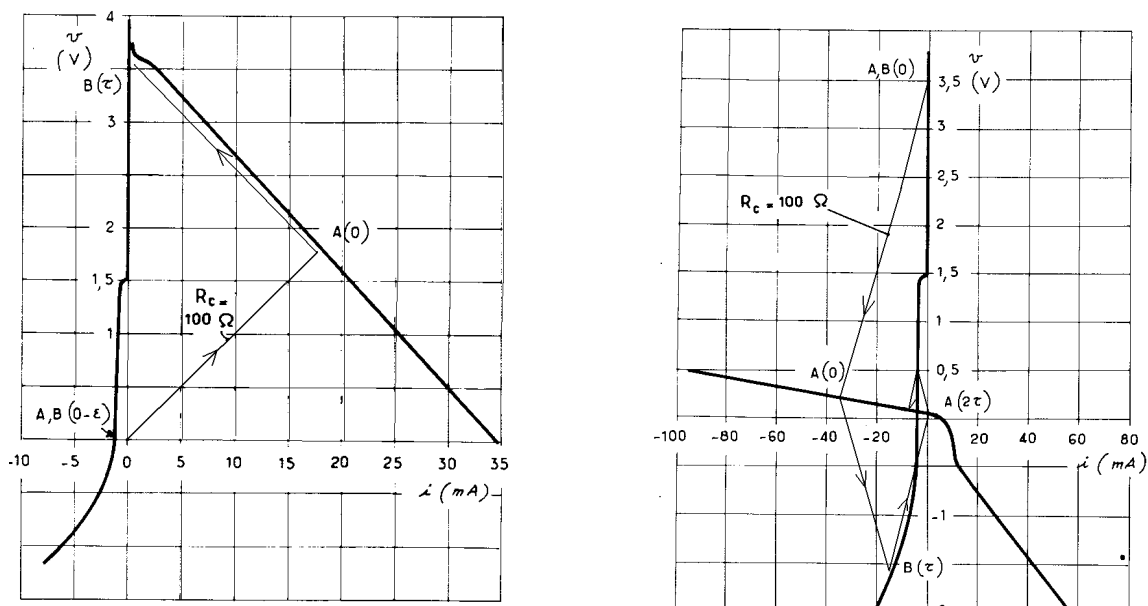


Fig. 1.15 Diagramele Bergeron pentru cele două tranziții posibile

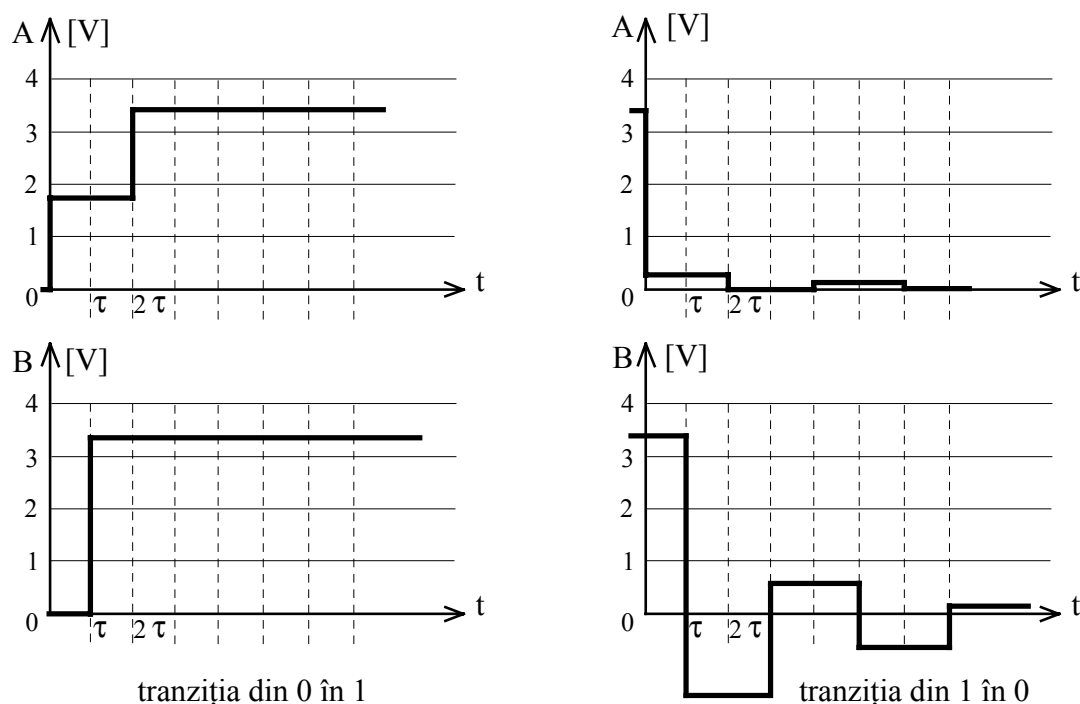


Fig. 1.16 Formele de undă teoretice în punctele A și B pentru cele 2 tranziții

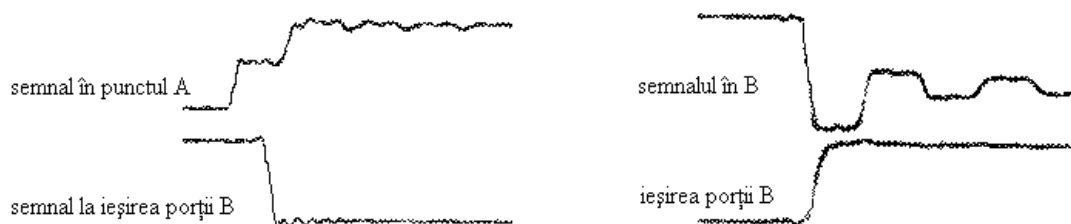


Fig. 1.17 Forme de undă reale vizualizate pe osciloscop

Pentru reducerea efectului reflexiilor se recomandă utilizarea unor conexiuni cât mai scurte (reflexiile se produc pe durata frontului, iar palierul își păstrează valorile logice), adaptarea liniei lungi pe rezistența caracteristică prin plasarea unui divizor rezistiv în punctul B, sau prin folosirea unor porți cu histerezis pentru mărirea marginii de zgomot în curent continuu. Valorile rezistențelor de adaptare ar putea fi cu până la un ordin de mărime mai mari, sau, una dintre ele, ar putea lipsi complet. Se mai poate mări și impedanța de ieșire a porții, prin amplasarea unei rezistențe de zeci de ohmi între punctele A și B ([Nicula, 1994]).

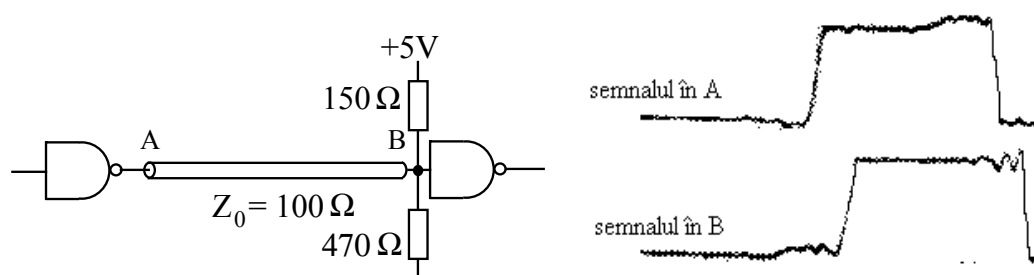


Fig. 1.18 Adaptarea liniei pe impedanța caracteristică și formele de undă reale

Zgomotul generat de diafonia dintre liniile de transmisiune

Datorită apropierii dintre două linii din circuit, semnalul existent pe una din ele poate influența nedorit semnalul de pe cealaltă linie. Acest cuplaj se face prin intermediul unor capacități și inductanțe mutuale. Dacă notăm cu Z_M impedanța mutuală dintre două linii și pe una din ele avem o tranziție de tensiune V_{OUT} , atunci în cealaltă apare o tranziție de tensiune:

$$V_{IN} = \frac{Z_0}{Z_0 + Z_M} \cdot V_{OUT} = \frac{1}{1 + \frac{Z_M}{Z_0}} \cdot V_{OUT}$$

Pentru micșorarea efectelor diafoniei trebuie mărită impedanța mutuală Z_M și micșorată impedanța caracteristică Z_0 . Prima condiție se realizează prin folosirea unor medii izolatoare cât mai bune și evitarea menținerii în paralel a unor trasee apropiate pe lungime mare. A doua condiție presupune alăturarea unor trasee de masă (plan de masă, fire de masă între fire de semnale utile etc.).

Zgomotul generat de injecția de curent

Acest tip de zgomot se manifestă la porțile cu mai multe intrări. Variația curentului printr-un emitor al tranzistorului multiemitor de intrare într-o poartă TTL poate fi zgomot pentru celelalte intrări. Se produce de fapt un salt de curent, care produce un salt de tensiune pe intrările conectate la impedanța caracteristică. Dacă intrarea A a porții ȘI-NU din figura 1.1 este conectată la masă printr-o linie cu impedanța caracteristică de 200Ω , iar intrarea B comută din 0 în 1 logic, atunci în A apare un salt de curent de la 0,8mA la 1,6mA, care va genera la intrarea A un salt de tensiune de 0,16V. Acest zgomot este cu atât mai mic cu cât curenții de intrare sunt mai mici și amplitudinea lui este prea mică pentru a produce modificarea parazită a nivelului logic la intrare. El ar putea însă interveni împreună cu alte zgomote într-o conjunctură nefavorabilă care să perturbe funcționarea corectă a circuitului ([Nicula, 1994]).

Reducerea efectelor acestui zgomot se face prin folosirea unei legături scurte, cu impedanță caracteristică mică și prin evitarea folosirii porților cu mai multe intrări pe anumite linii de sistem.

Zgomotul generat de variația curentului de alimentare

Sursa acestui zgomot o constituie inegalitatea dintre curenții absorbiți de circuit în cele două stări logice 0 și 1. La comutarea rapidă a porților din circuit apare o variație a tensiunii de alimentare a circuitelor integrate, datorită inductanței parazite a liniei de alimentare. Pe de altă parte, la comutare apar pulsuri tranzitorii de curent datorită capacităților parazite de la ieșirile porților din circuit.

Metodele de reducere a zgomotului constau în reducerea inductanței liniei de alimentare prin utilizarea unor plane de alimentare (trasee cât mai groase) și în plasarea condensatoarelor ceramice de decuplare care filtrează pulsațiile tranzitorii de înaltă frecvență ce nu pot fi eliminate de condensatoarele electrolitice.

Zgomotul generat de traseele de masă

Cauzele acestui zgomot sunt discontinuitățile de impedanță a traseelor de masă și închiderea curenților spre masă pe trasee incorecte. Aceste fluxuri de curent determină căderi de tensiune parazite care se suprapun peste semnalul util.

Reducerea acestui zgomot se face printr-o maximă separare a traseelor de alimentare pentru fiecare circuit de pe placă și existența unui plan de masă.

Zgomotul generat de interferențe electromagnetice

Sursele acestui zgomot pot fi: rețeaua de alimentare cu tensiune alternativă, motoare, relee, întrerupătoare sau alte dispozitive generatoare de câmp electromagnetic. Reducerea zgomotului se face prin ecranare sau filtre de rețea.

1.2 Demonstrații practice

Se alimentează panoul logic cu o tensiune de 5V de la o sursă de tensiune reglabilă. **ATENȚIE LA RESPECTAREA POLARITĂȚII ȘI LA VALOAREA ÎNȚĂLĂ A TENSIUNII!** Datorită diodei de protecție la alimentare inversă, se măsoară cu un voltmetru tensiunea între pinii de alimentare indicați de catalog (la circuitele de pe panou, între pinii 14 și 7, așa cum se arată în figura 1.19). Se pornește de la 0V și se mărește tensiunea de la sursă, până ce valoarea măsurată ajunge la +5V. Această tensiune este **tensiunea nominală** de alimentare pentru circuitele TTL. **Valoarea limită absolută** de catalog este de +7V la circuitele TTL și de +18V la circuitele CMOS – seria 4000. Depășirea valorii limită absolute va distruge cu o mare probabilitate circuitul integrat!

Circuitele CMOS din seria 4000 nu au o tensiune nominală precizată. Tensiunea de alimentare trebuie să fie sub valoarea limită absolută de circa +18V și mai mare de circa +3V, pentru a asigura o comutare stabilă. Tensiunile de alimentare folosite în lucrare pentru aceste circuite sunt de +5V, +10V și +15V.

Observațiile de mai sus sunt valabile pentru toate panourile logice folosite și în alte capitole, așa că nu vom mai reveni cu aceste indicații. Dacă un panou logic are cordon de alimentare la rețea, atunci există o sursă de alimentare cu tensiune continuă încorporată, iar panoul **NU MAI TREBUIE ALIMENTAT** la o sursă de tensiune de laborator!

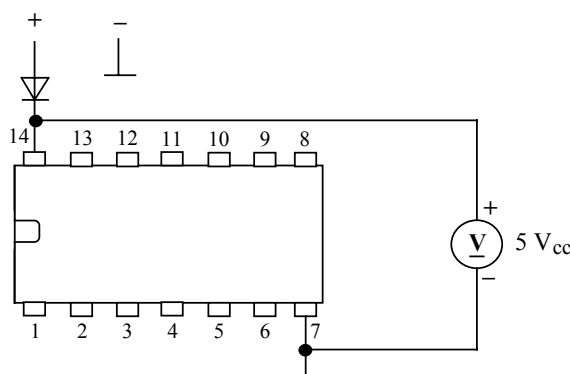


Fig. 1.19 Stabilirea tensiunii corecte de alimentare a panoului logic

1.2.1 Se realizează montajul din figura 1.20. La intrarea porții ȘI-NU, în tehnologie TTL standard (circuitul integrat CDB400, echivalent cu SN7400), cu intrările conectate împreună, se aplică o tensiune continuă, variabilă între 0 și 5V, iar valorile măsurate ale tensiunii de ieșire se trec într-un tabel. Se reprezintă punct cu punct caracteristica statică de transfer $V_{out} = f(V_{in})$. Să se compare cu caracteristica de transfer din figura 1.2, obținută prin simulare analogică PSPICE. Se repetă măsurătorile pentru o poartă ȘI-NU cu 2 intrări realizată în tehnologie CMOS 4000 (circuitul integrat MMC4011, echivalent cu CD4011), având grijă ca tensiunea de intrare să nu depășească tensiunea de alimentare. Se folosesc următoarele tensiuni de alimentare: $V_{cc} = +5V$, $V_{cc} = +10V$ și $V_{cc} = +15V$. Se măsoară nivelele logice și se compară cu valorile garantate prin standard. Caracteristica de transfer pentru $V_{cc} = +15V$ se compară cu caracteristica de transfer din figura 1.11, obținută prin simulare analogică PSPICE. Sarcina porții este considerată rezistența de intrare a voltmetrului folosit pentru măsurare.

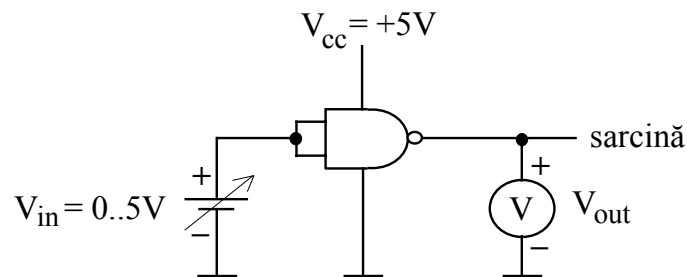


Fig. 1.20 Montajul pentru trasarea punct cu punct a caracteristicii de transfer

1.2.2 Se realizează montajul din figura 1.21 pentru poarta TTL standard. La intrarea porții ȘI-NU cu intrările conectate împreună se aplică un semnal sinusoidal cu amplitudinea de circa 4V și frecvența de circa 100Hz. Se scoate baza de timp a osciloscopului și pe ecranul tubului catodic apare caracteristica de transfer. Măsurați nivelele logice de ieșire și intrare garantate prin standard. Modificați sarcina porții prin adăugarea circuitului care simulează 10 intrări TTL standard (vezi figura 1.24) și refaceți măsurătorile. Comentați modificarea caracteristicii cu frecvența semnalului de intrare și explicați ce se întâmplă dacă una dintre intrările porții este lăsată în aer. Se repetă montajul pentru poarta CMOS 4000. Analizați modificarea caracteristicii cu modificarea tensiunii de alimentare și stabiliți tensiunea minimă de alimentare. Scurtcircuitați pe rând ieșirea porții la masă și apoi la V_{cc} și observați ce se întâmplă.

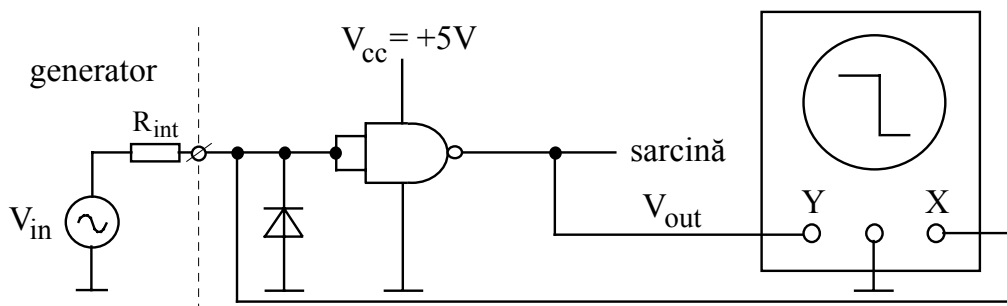


Fig. 1.21 Montajul pentru vizualizarea caracteristicii de transfer

1.2.3 Se măsoară în cazurile cele mai defavorabile curenții de intrare pentru cele două nivele logice la poarta TTL standard, folosind montajele din figura 1.22. Testarea în cazul cel mai defavorabil este realizată pentru toate circuitele, pentru a garanta funcționarea în toate condițiile posibile. V_{CC} are valoarea maximă admisă (+5,25V la seria 74SN) pentru a maximiza curentul I_{IL} . Cu excepția intrării supuse testării, celelalte intrări nefolosite sunt conectate la 1 logic pentru a maximiza orice contribuție a acestor intrări asupra curentului de intrare I_{IL} . Acest 1 logic este de 4,5V, valoare în general superioară lui V_{OH} . Comparați rezultatele obținute prin măsurare cu cele din figura 1.4, obținute prin simulare PSPICE. Valorile obținute trebuie să fie în concordanță cu datele de catalog:

$$|I_{IL}| \leq |I_{ILMAX}| = |-1,6mA| \quad I_{IH} \leq I_{IHMAX} = 40\mu A$$

DACĂ AMPERMETRUL ESTE ANALOGIC (TIP MAVO-35), ATENȚIE LA POLARITATE ȘI LA DOMENIUL DE MĂSURĂ !

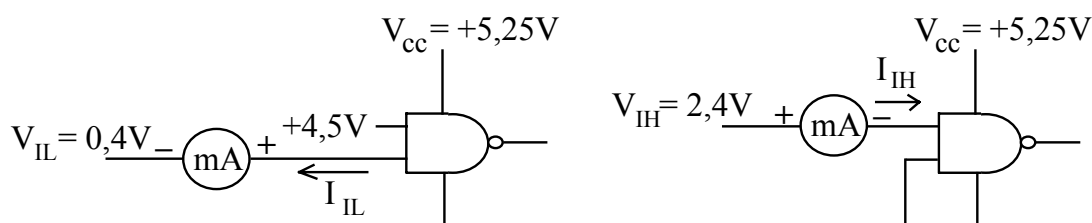


Fig. 1.22 Montajele pentru măsurarea curentului de intrare la poarta TTL

□

1.2.4 Folosind montajul din figura 1.23 se trasează caracteristicile de ieșire ale porții TTL standard. Dacă ampermetrul este analogic (tip MAVO-35), atenție la polaritate și la domeniul de măsură! Comparați rezultatele cu cele din figurile 1.5 și 1.6, obținute prin simulare analogică PSPICE.

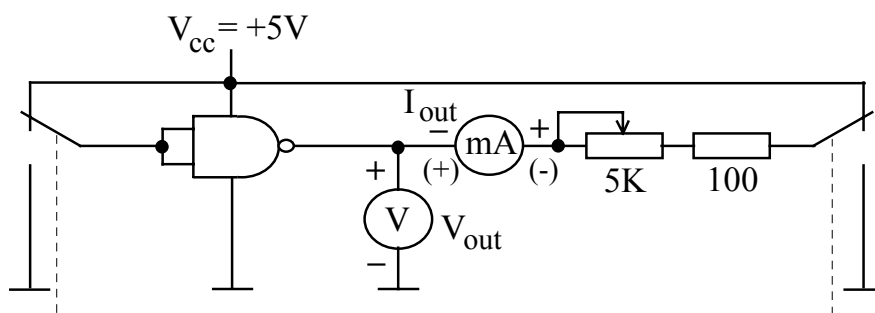


Fig. 1.23 Montajul pentru trasarea caracteristicilor de ieșire la poarta TTL

□

1.2.5 Se măsoară timpii de propagare prin poarta TTL cu ajutorul montajului din figura 1.24. Generatorul furnizează la intrare impulsuri TTL cu frecvența de câțiva MHz. Circuitul de ieșire ($C_L = 15pF$) simulează încărcarea porții cu o sarcină echivalentă cu 10 intrări TTL standard. Se măsoară timpii de propagare și pentru $C_L = 220pF$ și se compară rezultatele. Dacă performanțele osciloscopului nu sunt satisfăcătoare pentru efectuarea măsurătorii, se poate încerca înserierea mai multor porți identice și medierea rezultatelor astfel obținute. Se repetă măsurătoarea pentru poarta CMOS, folosind la intrare impulsuri de amplitudine 5V. Sarcina porții este dată acum numai de condensatorul C_L , iar intrările sunt

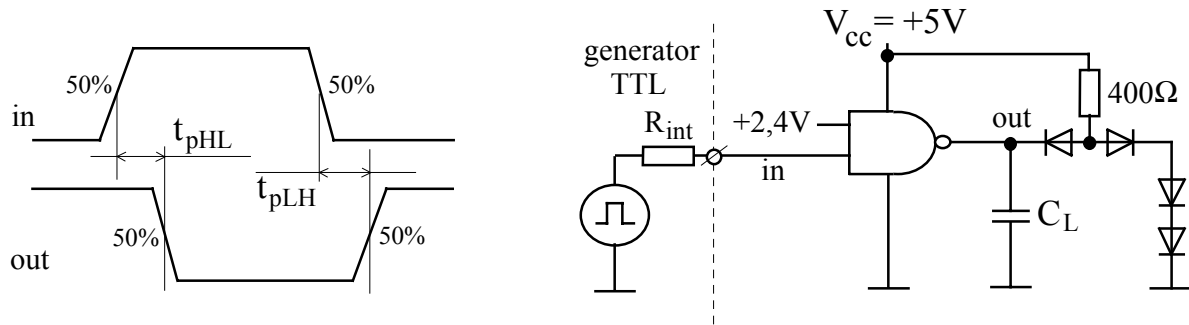


Fig. 1.24 Definirea timpilor de propagare și montajul pentru măsurarea lor la poarta TTL

conectate împreună. Pe un osciloscop cu 2 canale se vizualizează atât semnalul de intrare cât și semnalul de la ieșirea porții logice. Prin suprapunerea celor două semnale se măsoară cei doi timpi de propagare t_{pHL} și t_{pLH} . Se verifică egalitatea aproximativă a celor doi timpi de propagare la poarta CMOS. Studiați variația timpilor de propagare cu modificarea tensiunii de alimentare și cu modificarea sarcinii de la ieșirea porții CMOS și comparați valorile măsurate cu datele de catalog. □

1.2.6 Se realizează montajul din figura 1.25, folosind al doilea circuit integrat de pe panoul logic TTL. Se calculează limitele de variație admise pentru valoarea rezistenței de colector și se verifică dacă rezistența de pe panou se încadrează între aceste limite. Se verifică conexiunea "ȘI cablat" folosind tabelul de adevăr al funcției binare Y, precum și excursia tensiunii la ieșire.

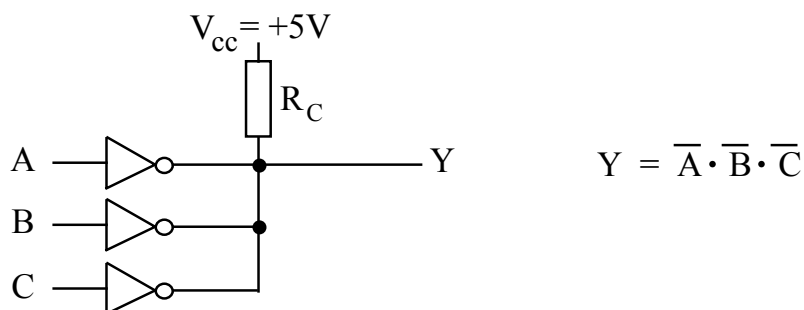


Fig. 1.25 Montajul pentru verificarea conexiunii "ȘI cablat"

1.2.7 Se realizează montajul din figura 1.26. Se vizualizează formele de undă la ieșirea porții CMOS (tensiunea de ieșire) și pe rezistența înseriată în circuitul de alimentare (curentul consumat de circuitul integrat). Intrările celorlalte porți logice din circuitul integrat se conectează la nivele logice stabile, 0 sau 1. Astfel consumul de curent al circuitului integrat este dat în exclusivitate de poarta care comută. Comentați imaginea de pe ecranul tubului catodic. Ce se întâmplă dacă se mărește tensiunea de alimentare? Dar dacă se mărește frecvența impulsurilor aplicate la intrare? Acest comportament se întâlnește la orice structură CMOS, nu neapărat numai la seria 4000. Și procesoarele Pentium au un comportament similar. Acest consum de curent pe poartă la comutare, determină o creștere accentuată a disipației termice odată cu creșterea frecvențelor de lucru. Care este soluția adoptată în ultimul timp pentru rezolvarea acestei probleme? (vezi problema 1.3.5)

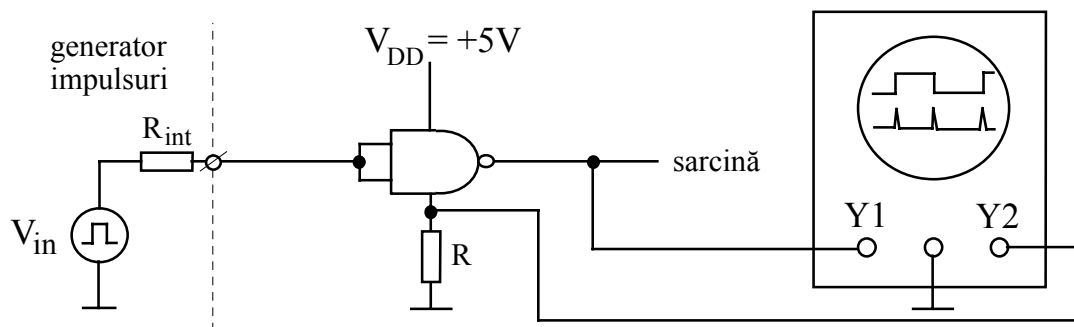


Fig. 1.26 Montaj pentru estimarea consumului circuitului integrat care conține poarta CMOS din seria 4000 □

1.2.8 Se realizează circuitul din figura 1.14 folosind două porți TTL standard și un cablu de conexiune lung (de circa 2 m). Se introduce pe intrarea primei porți un semnal TTL cu o frecvență de circa 5 MHz. Se vizualizează semnalele în punctele A și B când conductorul AB este scurt și atunci când are o lungime de circa 1m. Desenați semnalele vizualizate și explicați forma lor. Măsurați întârzierea semnalului pe linia lungă AB. □

1.2.9 Se dublează circuitul din figura 1.14 și cele două linii lungi se apropie pe o lungime cât mai mare una de alta. Se aplică un semnal TTL pe intrarea unui circuit și se vizualizează pe linia celuilalt circuit semnalul indus datorită diafoniei. □

1.2.10 Se realizează montajul din figura 1.27 pentru vizualizarea zgomotului datorat injecției de curent. Se aplică semnal TTL pe linia A, iar linia B se conectează la masă prin intermediul unui conductor lung. Urmăriți apariția pulsurilor de tensiune în punctul B sincron cu semnalul din punctul A și măsurați durata și amplitudinea lor. □

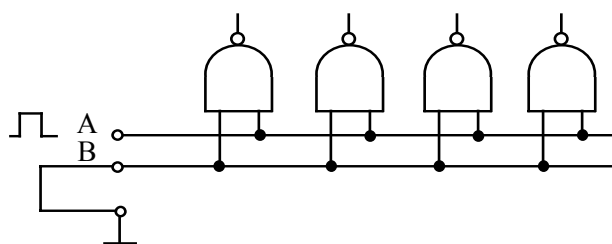


Fig. 1.27 Circuit pentru evidențierea zgomotului datorat injecției de curent la TTL □

1.2.11 Se conectează toate porțile circuitului integrat TTL la sursa de semnal TTL, pentru o comutare sincronă a lor. Se conectează în serie cu sursa de alimentare un fir cu inductanță mare (se bobinează niște spire pe un tor de ferită). Linia de alimentare poate fi astfel asimilată unei linii lungi de transport al tensiunii. Se vizualizează variația tensiunii de alimentare pe pinul Vcc al circuitului integrat. Măsurați durata și amplitudinea variațiilor și desenați formele de undă. Repetați măsurătorile după cuplarea unui condensator de decuplare între Vcc și GND. □

1.2.12 Să se imagineze și să se experimenteze un montaj pentru vizualizarea zgomotelor datorate formei traseelor de masă. □

1.3 Probleme rezolvate

1.3.1. Să se calculeze valoarea maximă a rezistenței ce poate fi cuplată între două inversoare TTL standard, fără a afecta funcționarea lor.

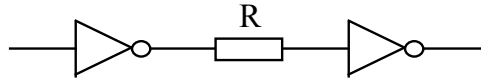


Fig. 1.28 Rezistență conectată între 2 inversoare TTL standard

Rezolvare:

- pentru starea logică 0 la ieșirea primului inversor:

$$R_{MAX} = \frac{V_{ILMAX} - V_{OLMAX}}{I_{ILMAX}} = \frac{0,8V - 0,4V}{1,6mA} = 250\Omega$$

O valoare mai mare a rezistenței nu mai asigură un curent de intrare suficient pentru al doilea inversor.

- pentru starea logică 1 la ieșirea primului inversor:

$$R_{MAX} = \frac{V_{OHmin} - V_{IHmin}}{I_{IHMAX}} = \frac{2,4V - 2V}{40\mu A} = 10K\Omega$$

Deci starea logică 0 este cea care limitează valoarea maximă a rezistenței la 250Ω. Oricum introducerea unei rezistențe de această valoare elimină complet marginea de zgomot de curent continuu pentru nivelul de 0 logic. □

1.3.2. Două porți cu colector în gol sunt conectate ca în figura 1.29. Caracteristicile de intrare ale inversoarelor TTL sunt cele standard, iar caracteristicile de ieșire ale porților cu colector în gol sunt: $I_{OHMAX} = 100\mu A$, $V_{OLMAX} = 0,4V$, iar $I_{OLMAX} = 16mA$.

a) Să se scrie expresia funcției de ieșire f .

b) Să se dimensioneze rezistența de colector, astfel încât marginea de zgomot în starea 1 logic să fie mai mare de 1V.

c) Să se calculeze marginea de zgomot în starea 0 logic.

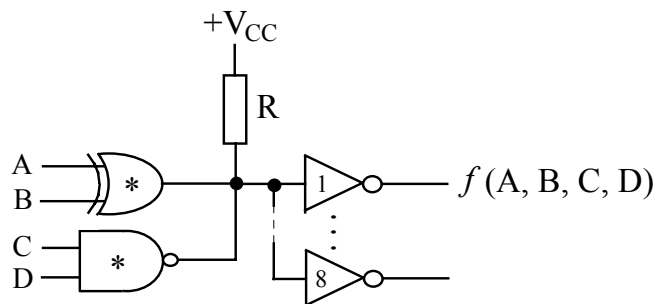


Fig. 1.29 Schema logică pentru problema 1.3.2

Rezolvare:

a) $f(A, B, C, D) = \overline{(A \oplus B) \cdot C \cdot D}$

b) $R_{MAXH} = \frac{V_{CC} - V_{IHmin} - M_H}{2 \cdot I_{OHMAX} + 8 \cdot I_{IHMAX}} = \frac{5V - 2V - 1V}{2 \cdot 0,1mA + 8 \cdot 0,04mA} = 3,846K\Omega$

$$R_{\min L} = \frac{V_{CC} - V_{OLMAX}}{I_{OLMAX} - 8 \cdot I_{ILMAX}} = \frac{5V - 0,4V}{16mA - 8 \cdot 1,6mA} = 1,437K\Omega$$

Se alege pentru rezistența R o valoare standardizată cuprinsă în intervalul $[1,437K\Omega \dots 3,846K\Omega]$. Nu am luat aici în considerare variațiile admisibile ale tensiunii de alimentare. În această situație, ar trebui să luăm în calcul valoarea care minimizează R_{MAXH} , adică $V_{CC\min}$, respectiv valoarea care maximizează $R_{\min L}$, adică V_{CCMAX} .

$$c) M_L = |V_{OLMAX} - V_{ILMAX}| = |0,4V - 0,8V| = 0,4V \quad \square$$

1.3.3 Se înlocuiesc cele 8 inversoare ale circuitului din figura 1.29 cu un număr necunoscut N de porți ȘI-NU cu câte 2 intrări conectate împreună, în tehnologie TTL standard. Să se calculeze N , dacă se știe că $R = 1K\Omega$ și marginea de zgomot în 1 logic trebuie să fie mai mare de 1V.

Rezolvare:

- pentru starea logică 1:

$$R \cdot (2 \cdot I_{OHMAX} + 2 \cdot N_H \cdot I_{IHMAX}) \leq V_{CC} - V_{IH\min} - M_H, \text{ adică}$$

$$N_H \leq \frac{V_{CC} - V_{IH\min} - M_H - 2 \cdot R \cdot I_{OHMAX}}{2 \cdot R \cdot I_{IHMAX}} = \frac{5V - 2V - 1V - 2 \cdot 1K\Omega \cdot 0,1mA}{2 \cdot 1K\Omega \cdot 0,04mA} = 22,5$$

Curentul de intrare în poartă pentru starea logică 1 este suma curenților de pe fiecare intrare. Dacă variază și V_{CC} , atunci se ia în calcul $V_{CC\min}$.

- pentru starea logică 0:

$$R \cdot (I_{OLMAX} - N_L \cdot I_{ILMAX}) \geq V_{CC} - V_{OLMAX}$$

$$N_L \leq \frac{-V_{CC} + V_{OLMAX} + R \cdot I_{OLMAX}}{R \cdot I_{ILMAX}} = \frac{-5V + 0,4V + 1K\Omega \cdot 16mA}{1K\Omega \cdot 1,6mA} = 7,12$$

Curentul de intrare în poartă pentru starea logică 0 este același, indiferent de numărul de intrări ale porții. Dacă variază și V_{CC} , atunci se ia în calcul V_{CCMAX} .

Deci răspunsul este $N = 7$. □

1.3.4 Care este marginea de zgomot asigurată de conexiunea din figură? Porțile sunt TTL standard, dar poarta comandată este un inversor cu histerezis.

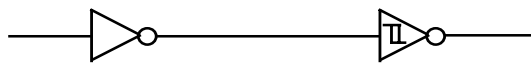
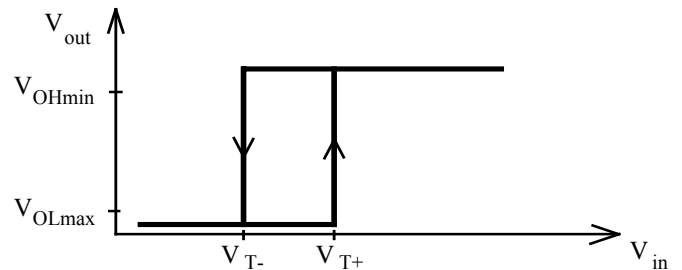


Fig. 1.30 *Circuitul și caracteristica de transfer a inversorului cu histerezis*



Rezolvare:

Inversorul cu histerezis are pragul V_{T-} cuprins între 0,6V și 1,1V, iar pragul V_{T+} este cuprins între 1,5V și 2V, conform datelor de catalog.

- pentru starea logică 1: $M_H \geq V_{H\min} - V_{T-\max} = 2,4V - 1,1V = 1,3V$,

- pentru starea logică 0: $M_L \geq V_{T+\min} - V_{OL\max} = 1,5V - 0,4V = 1,1V$.

Marginele de zgomot la o conexiune între două porți TTL standard sunt de numai 0,4V! □

1.3.5 Se consideră inversorul CMOS din figura 1.10 alimentat la tensiunea $V_+ = +5V$. Tranzistorul T1 suportă un curent de drenă $I_{D1} = 1mA$, iar T2 un curent $I_{D2} = 1,5mA$. Tensiunea de prag a circuitului este $V_T = 2,5V$, iar capacitatea de ieșire este $C_{out} = 20pF$.

a) Să se calculeze timpii de propagare pentru ambele tranziții știind că sarcina inversorului este formată din 10 intrări CMOS, fiecare de $5pF$, iar capacitatea traseelor exterioare circuitului integrat este de $30pF$.

b) Calculați consumul de putere dinamic și static și arătați care sunt modalitățile de reducere a consumului de putere din sursă, știind că frecvența de comutație a porții este de $1MHz$, iar fronturile semnalului de ieșire sunt egale cu $100ns$.

Rezolvare:

a) Capacitatea totală de sarcină este:

$$C = C_{out} + N \cdot C_{in} + C_{trasee} = 20pF + 10 \cdot 5pF + 30pF = 100pF$$

Pentru tranziția ieșirii LOW-HIGH se deschide T2 și se blochează T1, iar timpul de propagare este:

$$t_{PLH} = \frac{C \cdot V_T}{I_{D2}} = \frac{100pF \cdot 2,5V}{1,5mA} = 167ns$$

Pentru tranziția ieșirii HIGH-LOW se deschide T1 și se blochează T2, iar timpul de propagare este:

$$t_{PHL} = \frac{C \cdot (V_+ - V_T)}{I_{D1}} = \frac{100pF \cdot (5V - 2,5V)}{1mA} = 250ns$$

b) Puterea disipată în regim dinamic este puterea necesară pentru încărcarea și descărcarea periodică a capacității de sarcină de la ieșire:

$$P_d = V_+ \cdot \frac{C \cdot V_+}{T} = C \cdot V_+^2 \cdot f = 100pF \cdot 5^2 V^2 \cdot 1MHz = 2,5mW$$

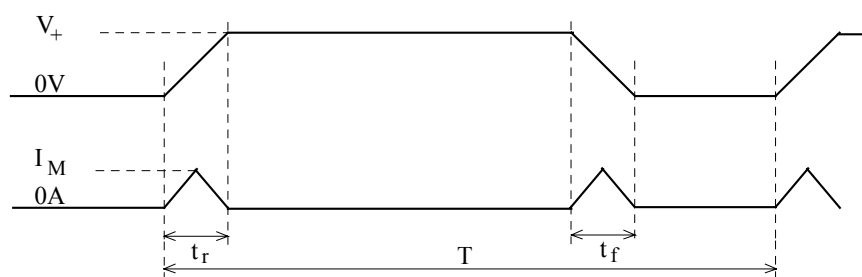


Fig. 1.31 Aproximarea formelor de undă la comutare

Puterea disipată în regim static este puterea disipată în timpul comutării. Figura 1.31 indică o reprezentare simplificată a tensiunii de ieșire și a curentului consumat pe durata unei perioade.

$$P_s = \frac{\int_0^T u(t) \cdot i(t) \cdot dt}{T} \approx \frac{V_+ \cdot I_M}{4} \cdot \frac{t_r + t_f}{T} \approx \frac{5V \cdot 0,5mA}{4} \cdot \frac{100ns + 100ns}{1000ns} = 125\mu W$$

Valoarea exactă a lui I_M este mai greu de apreciat. Având însă în vedere datele problemei, valoarea de $0,5mA$ este pe deplin acoperitoare.

Ambele componente ale puterii disipate se reduc odată cu micșorarea tensiunii de alimentare și a frecvenței de comutație. Capacitatea de sarcină contribuie și ea la expresia puterii în regim dinamic. □

1.3.6 Dacă pe o intrare CMOS apar tensiuni mai mari decât V_+ (notat de obicei cu V_{DD}) sau mai mici decât potențialul masei (notat de obicei cu V_{SS}) există pericolul distrugerii diodelor din circuitul de protecție al intrării prin depășirea valorii maxime admise a curentului prin diode. Să se realizeze un circuit extern de protecție și să se dimensioneze elementele de circuit.

Rezolvare:

Se introduce o rezistență serie R_{ext} la intrare care limitează curentul la valoarea maximă $I_{MAX} = 10mA$. Se stabilesc valorile maxime ale tensiunilor la intrare:

$$V_{MAX}^+ > V_{DD} \text{ și } V_{MAX}^- < V_{SS}$$

Dimensionarea rezistenței se face urmărind schema de protecție a intrării din figura 1.12:

$$R_{ext} \geq \frac{V_{MAX}^+ - V_{DD} - V_F}{I_{MAX}}, \quad R_{ext} \geq \frac{|V_{MAX}^-| - V_F}{I_{MAX}} - R$$

V_F este căderea de tensiune în conducție directă pe diode. Se alege pentru R_{ext} o valoare care acoperă ambele inegalități.

O intrare CMOS nu se lasă niciodată "în aer". Pentru eliminarea eventualelor sarcini statice induse, se recomandă conectarea unei rezistențe de circa $100K\Omega$ la masă sau la V_+ , după caz. □

1.3.7 Să se arate cum se poate face cuplajul CMOS - TTL.

Rezolvare:

Verificăm pentru început dacă o ieșire CMOS poate comanda o intrare TTL standard, din punctul de vedere al tensiunilor și al curenților:

$$V_{OLMAX(CMOS)} < V_{ILMAX(TTL)}, \text{ adică } 0,05V < 0,8V$$

$$V_{OHmin(CMOS)} > V_{IHmin(TTL)}, \text{ adică } 4,95V > 2V$$

Din punctul de vedere al tensiunilor inegalitățile sunt satisfăcute fără probleme, iar la curenți:

$$I_{OLMAX(CMOS)} > I_{ILMAX(TTL)}, \text{ adică } 2mA > 1,6mA$$

$$I_{OHMAX(CMOS)} > I_{IHMAX(TTL)}, \text{ adică } 2mA > 40\mu A$$

Relația subliniată indică faptul că o ieșire CMOS poate comanda o intrare TTL standard, dar nu două sau mai multe, deoarece nu ar mai putea asigura curentul de intrare pe 0 logic.

Verificăm în continuare dacă o ieșire TTL poate comanda o intrare CMOS:

$$V_{OLMAX(TTL)} < V_{ILMAX(CMOS)}, \text{ adică } 0,4V < 30\% \cdot 5V = 1,5V$$

$$V_{OHmin(TTL)} > V_{IHmin(CMOS)}, \text{ adică } 2,4V > 70\% \cdot 5V = 3,5V$$

$$I_{OLMAX(TTL)} > I_{ILMAX(CMOS)}, \text{ adică } 16mA > 100nA$$

$$I_{OHMAX(TTL)} > I_{IHMAX(CMOS)}, \text{ adică } 400\mu A > 100nA$$

Relația subliniată nu este respectată, deci conexiunea directă TTL-CMOS **nu este corectă!** Pentru a ridica tensiunea la ieșirea porții TTL aflate în 1 logic se conectează o rezistență între ieșirea porții TTL și tensiunea de alimentare.

Pentru dimensionarea rezistenței:

$$R_{\min L} = \frac{V_{CC} - V_{OLMAX(TTL)}}{I_{OLMAX}} = \frac{5V - 0,4V}{16mA} = 0,287 K\Omega$$

Se alege o valoare mai mare, dar apropiată de $R_{\min L}$, pentru că R_{MAXH} este mai greu de calculat. Dacă considerăm și variația tensiunii de alimentare, foloseam V_{CCMAX} în calculul lui $R_{\min L}$, în scopul maximizării lui $R_{\min L}$. $\square$

1.3.8 Datorită lipsei circuitelor integrate TTL standard care trebuiau să echipeze un produs de serie, acesta este realizat cu circuite integrate LSTTL. Garantați o funcționare corectă a circuitului? Dar dacă lucrurile ar fi stat exact invers?

Rezolvare:

Nu se poate garanta o funcționare corectă a circuitului pentru că circuitele LSTTL sunt mai rapide și deci sunt mai sensibile la zgomotele care se propagă pe traseul de masă. Este posibilă deci o funcționare defectuoasă a circuitului.

Dacă în loc de LSTTL se montează TTL standard nu mai avem probleme de zgomot, dar probabil că sistemul nu va funcționa din cauza frecvenței prea mari, la care circuitele TTL standard nu fac față. $\square$

1.3.9 Un BUS cu impedanța caracteristică $Z_0 = 75\Omega$ este adaptat ca în figura 1.32. Știind că pe acest BUS pot fi cuplate cel mult 16 intrări TTL standard și că se impune în 1 logic o margine de zgomot de cel puțin 0,6V, să se calculeze:

- valorile rezistențelor R_1 și R_2 .
- curentul I_{OLMAX} al circuitului ce comandă BUS-ul.

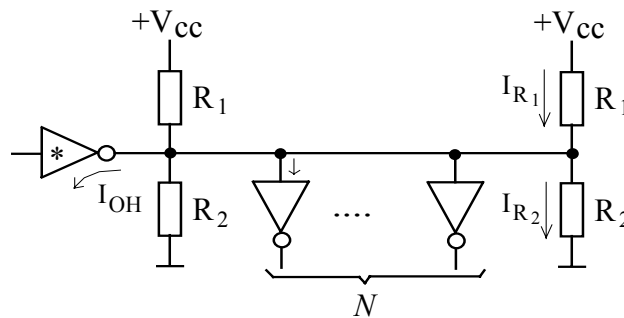


Fig. 1.32 Circuitul de adaptare a liniei de magistrală

Rezolvare:

- Din condiția de 1 logic pe linie:

$$\begin{aligned} R_1 \parallel R_2 &= 2Z_0 \\ V_{CC} &= R_1 \cdot I_{R1} + V_{IH\min} + M_H \\ 2I_{R1} &= I_{OH} + N \cdot I_{IH} + 2I_{R2} \\ I_{R2} &= \frac{V_{IH\min} + M_H}{R_2} \end{aligned}$$

Necunoscutele sunt I_{R1} , I_{R2} , R_1 și R_2 . Se rezolvă sistemul și se obține:

$$R_1 \approx 226\Omega \text{ și } R_2 \approx 446\Omega$$

Făcând anumite simplificări prin neglijarea lui I_{IH} și I_{OH} obținem rezultate apropiate cu un efort de calcul mult mai mic.

b) $I_{OLMAX} \geq 2I_{R1L} + N \cdot I_{ILMAX} - 2I_{R2L}$, indicele L indică starea logică 0 în nodul studiat. Rezultă $I_{OLMAX} \geq 64,5mA$, o valoare prea mare pentru un circuit integrat. Soluții însă există: se poate accepta o margine de zgomot mai mică, de cel puțin 0,4V, ca la TTL, sau se pot alege circuite de cuplare la BUS care au curenți de intrare mai mici. Și aici se poate neglijă I_{R2L} . Marginea de zgomot în 0 logic este de 0,4V și nu poate fi mărită de proiectant. □

1.3.10 Un BUS cu impedanța caracteristică $Z_0 = 150\Omega$ este adaptat ca în figură. Pe BUS sunt cuplați receptori care au caracteristică de transfer cu histerezis (vezi figura 1.33) și curenți de intrare neglijabili. Știind că circuitul care comandă BUS-ul are $I_{OLMAX} = 24mA$, $V_{OLMAX} = 0,4V$ și $I_{OH} \approx 0$, se cere:

- să se dimensioneze rezistențele R_1 și R_2 .
- să se calculeze marginea de zgomot garantată în ambele stări logice.

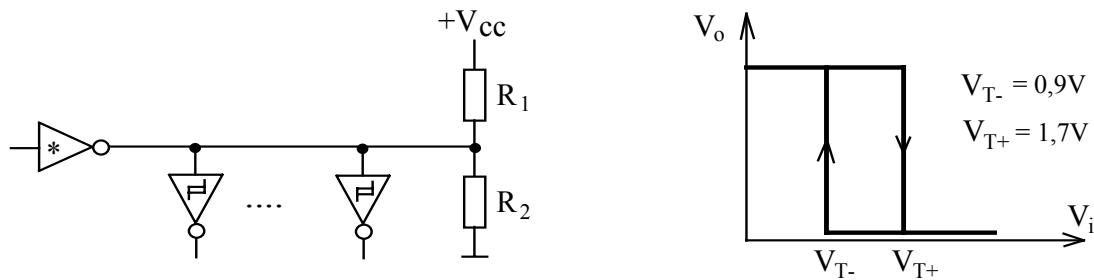


Fig. 1.33 Circuitul de adaptare și caracteristica de transfer a porților cu histerezis

Rezolvare:

a) $R_1 \parallel R_2 = Z_0$. Neglijând curentul prin R_2 în starea 0 logic, obținem:

$$R_1 \geq \frac{V_{CC} - V_{OLMAX}}{I_{OLMAX}} = \frac{5V - 0,4V}{24mA} \approx 200\Omega$$
 Alegem o valoare standard $R_1 = 220\Omega$. Din prima ecuație rezultă $R_2 = 470\Omega$.

b) - în starea 1 logic: $V_H = \frac{R_2}{R_1 + R_2} \cdot V_{CC} = \frac{470\Omega}{220\Omega + 470\Omega} \cdot 5V = 3,4V$

Receptorii vor comuta când V_i scade sub valoarea lui $V_{T-} = 0,9V$, deci:

$$M_H \geq V_H - V_{T-} = 3,4V - 0,9V = 2,5V$$

- în starea 0 logic: $V_L = V_{OLMAX} = 0,4V$. Comutarea se face pentru $V_{T+} = 1,7V$:

$$M_L \geq V_{T+} - V_L = 1,7V - 0,4V = 1,3V$$

□

1.3.11 Explicați în ce situație un circuit integrat CMOS din seria 4000 poate să funcționeze în lipsa tensiunii de alimentare. Care sunt riscurile unei astfel de situații și ce măsuri de prevenire recomandați ?

Rezolvare:

Deși este greu de crezut, un circuit integrat CMOS din seria 4000 poate funcționa în lipsa tensiunii de alimentare, cu condiția ca cel puțin una din intrările lui să fie pe 1 logic. Este clar că 1

logic înseamnă tensiunea de alimentare, dioda respectivă din rețeaua de protecție a intrării intră în conducție, iar pe linia de alimentare din circuit apare o tensiune $V_+ - V_F$, adică cu circa 0,6V mai mică decât tensiunea de alimentare a sistemului. Dacă curentul consumat de partea nealimentată depășește însă valoarea de 10mA și nu există o limitare a acestui curent pe intrarea de 1 logic (ieșirea unei porți CMOS poate asigura această limitare), atunci structura este periclitată. Prevenirea se face numai prin asigurarea unei alimentări corecte a circuitelor integrate din sistem. $\square$

1.3.12 Tensiunea de prag a inversoarelor din figura 1.34 este de 2,5V. Să se calculeze tensiunea de basculare a circuitului echivalent trigger Schmitt și să se reprezinte tensiunea la ieșire dacă pe intrare se aplică semnalul din figură.

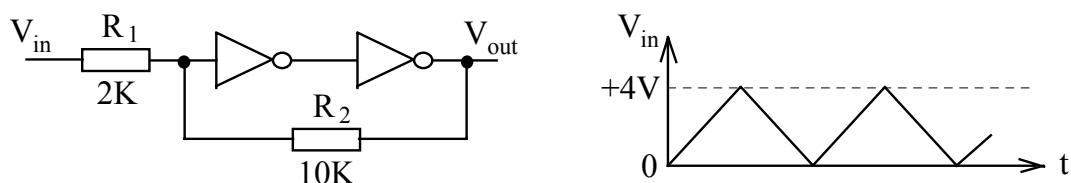


Fig. 1.34 *Trigger Schmitt neinversor realizat cu porți CMOS și semnalul de intrare*

Rezolvare:

Comutarea ieșirii din 0 se va face la o valoare a tensiunii de intrare V_1 :

$$V_T = \frac{R_2}{R_1 + R_2} \cdot V_1, \text{ deci } V_1 = \left(1 + \frac{R_1}{R_2}\right) \cdot V_T = \left(1 + \frac{2}{10}\right) \cdot 2,5V = 3V$$

Comutarea ieșirii din 1 se va face la o valoare a tensiunii de intrare V_2 :

$$V_T = \frac{R_2}{R_1 + R_2} \cdot V_2 + \frac{R_1}{R_1 + R_2} \cdot V_{DD}, \quad V_{DD} \text{ fiind tensiunea de alimentare de } 5V.$$

$$\text{Rezultă: } V_2 = \left(1 + \frac{R_1}{R_2}\right) \cdot V_T - \frac{R_1}{R_2} \cdot V_{DD} = \left(1 + \frac{2}{10}\right) \cdot 2,5V - \frac{2}{10} \cdot 5V = 2V.$$

Funcționarea circuitului în condițiile cerute de problemă este reprezentată în figura 1.35.

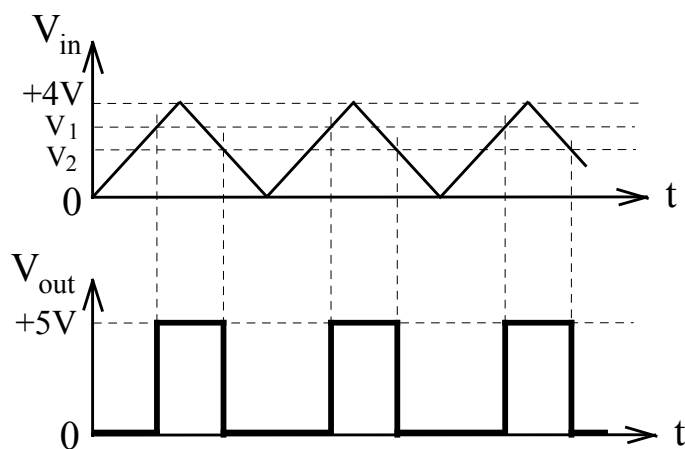


Fig. 1.35 *Funcționarea circuitului în condițiile cerute de problemă*

$\square$