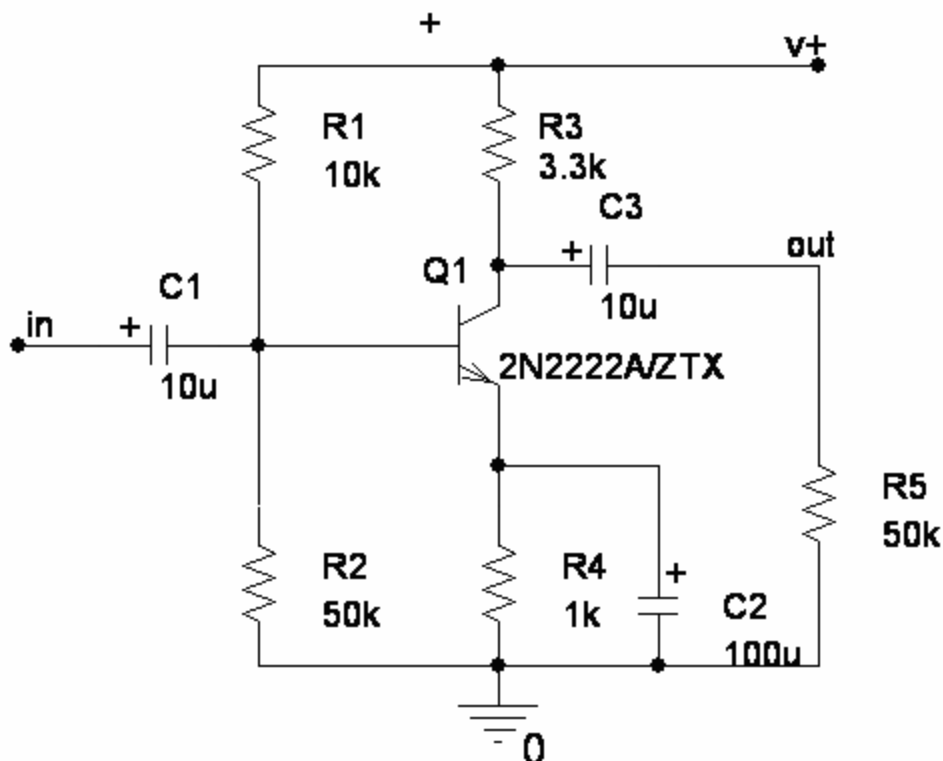


LABORATOR NR. 5  
(Proiectarea asistată de calculator)

**EMITOR COMUN**

Se dă schema de mai jos:



Cerințe:

1. Se editează schema utilizând componentele adecvate (vezi nota), etichetele (net alias) și sursa de alimentare de tip VDC cu valoare de 12V între eticheta v+ și masă.
2. Se montează la intrarea în montaj o sursă de tip VAC (între in și masă) și se editează profilul pentru simularea în frecvență (**AC Sweep Noise**) cu parametri **Start Frequency** = 10Hz; **End Frequency** = 100meg; **Point/Decade** = 20. Se afișează caracteristica de amplitudine-frecvență  $20 \cdot \lg \frac{V(out)}{V(in)}$  ( se adauga expresia  $20 \cdot \lg \frac{V(out)}{V(in)}$  în fereastra de **Probe** utilizând butonul **Add trace**) și se etichetează în punctele critice (amplificarea in bandă și frecvențele de tăiere).

3. Se generează fișierele \*.net , \*.bom și \*.drc.
4. Se montează la intrarea în montaj o sursă de tip VSIN (între **in** și masă) cu **OFF**= 0, **AMPL**= 5mV, **FREQ**=10KHz și se editează profilul pentru simularea în timp (**Time Domain**) cu parametrii **Run to time** = 1.5/f, unde f este frecvența sursei sinusoidale (se calculează expresia și se trece valoarea în submultipli de secundă). Se afișează semnalele V(in) și V(out) în același grafic și se etichetează în punctele critice.
5. Se înlocuiesc sursele de semnal și tensiune cu conectoare de tip **CON2**, se montează de asemenea un **CON2** între out și masă. Se crează fișierul *nume.MNL*. (Se minimizează fereastra cu schema, se selectează fișierul de design *nume.DSN* și din meniul **Tools** se selectează **Create Netlist**). Se deschide aplicația Layout și se crează cablajul urmărind cerințele: cablajul se va realiza doar pe o singură parte (BOTTOM), traseele vor fi groase de 1 mm și vor avea o izolare de 0.5mm și va avea ecran legat la masă cu o izolare de 1mm.

**NOTĂ:** 1mm = 40 mils, micro = u, mega = meg. Componentele utilizate: condensatoare polarizate de tip **c\_elect**, tranzistoare de tip **2N2222A/ZTX**. În sistemul american, virgula zecimală se notează cu “ . ”.