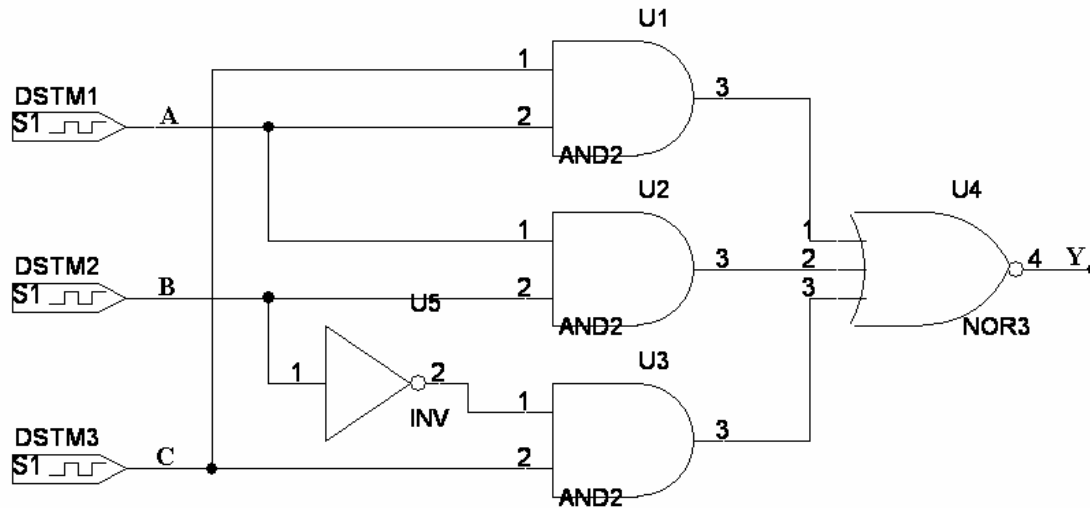


LABORATOR NR. 10

(Proiectarea asistată de calculator)

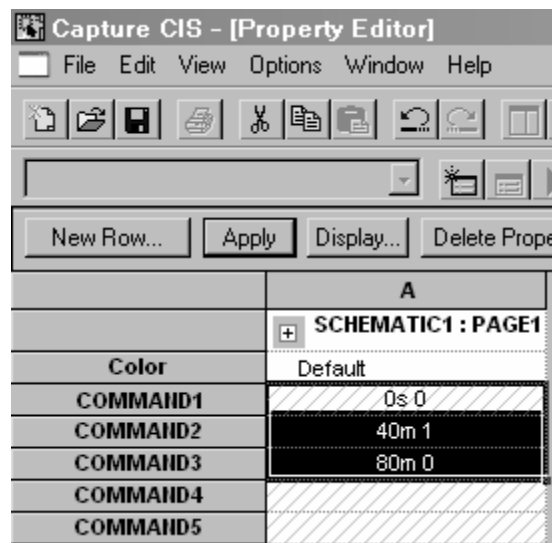
CIRCUIT LOGIC COMBINAȚIONAL

Se dă schema de mai jos:



1. Unde DSTM este STIM1 din biblioteca Source iar portile sunt de tip: INV, AND2 și NOR3 (Porți logice ideale, utilizate doar pentru simulare).

DSTM1 se definește cu perechile de valori : 0s 0; 40ms 1; 80ms 0.
(ex. in figura de mai jos).



DSTM2 se definește cu perechile de valori : 0s 0; 20ms 1; 40ms 0; 60ms 1; 80ms 0.

DSTM3 se definește cu perechile de valori : 0s 0; 10ms 1; 20ms 0; 30ms 1; 40ms 0; 50ms 1; 60ms 0; 70ms 1; 80ms 0; 90m 1.

Se editează profilul de simulare în timp cu parametrii: **Run to time** 100ms.

Se afișează semnalele din cei trei stimuli A,B și C , precum și semnalul la ieșire Y. Se completează tabelul de adevăr cu intrările A,B,C și Ieșirea Y. Din tabel se extrage funcția circuitului logic și se minimizează.

2. Se înlocuiesc stimulii cu **CON2**, se înlocuiesc porțile astfel: **INV** cu **7404**, **AND2** cu **7408**, **NOR3** cu **7427**, se activează alimentările pentru noile circuite utilizate (dublu click pe capsula porții și se activează opțiunea **Power Pins Visible**) și se prevede câte un **CON2** în locul sursei de alimentare, la cele trei intrări A,B,C, precum și la ieșirea Y față de masă (**GND**).

Se crează *.MNL, se verifică corectitudinea conexiunilor la pinii 7 și 14 a circuitelor (alimentarea) și se realizează cablajul pe TOP și BOTTOM cu trasee de 1 mm grosime și izolare de 0.5 mm. Se realizează ecranul de masă conectat la GND cu izolare de 0.5 mm.